

**LUÍS CLÉBER CARNEIRO MARQUES**

**TÉCNICA DE MOSFET CHAVEADO PARA  
FILTROS PROGRAMÁVEIS OPERANDO À BAIXA  
TENSÃO DE ALIMENTAÇÃO**

**FLORIANÓPOLIS  
2002**



**UNIVERSIDADE FEDERAL DE SANTA CATARINA**

**PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA  
ELÉTRICA**

**TÉCNICA DE MOSFET CHAVEADO PARA  
FILTROS PROGRAMÁVEIS OPERANDO À BAIXA  
TENSÃO DE ALIMENTAÇÃO**

Tese submetida à  
Universidade Federal de Santa Catarina  
como parte dos requisitos para a  
obtenção do grau de  
Doutor em Engenharia Elétrica.

**LUÍS CLÉBER CARNEIRO MARQUES**

Florianópolis, Novembro de 2002



# **TÉCNICA DE MOSFET CHAVEADO PARA FILTROS PROGRAMÁVEIS OPERANDO À BAIXA TENSÃO DE ALIMENTAÇÃO**

Luís Cléber Carneiro Marques

‘Esta Tese foi julgada adequada para obtenção do Título de Doutor em Engenharia Elétrica, Área de Concentração em *Sistemas de Informação*, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal de Santa Catarina.’

---

Márcio Cherem Schneider  
Orientador

---

Carlos Galup-Montoro  
Co-orientador

---

Edson Roberto De Pieri  
Coordenador do Programa de Pós-Graduação em Engenharia Elétrica

Banca Examinadora:

---

Márcio Cherem Schneider  
Presidente

---

Carlos Galup-Montoro

---

Sidnei Noceti Filho

---

Wouter Anton Serdijn

---

Jáder de Lima

---

Antônio Petraglia



## Agradecimentos

A minha companheira, Cristiane,  
por dividir angústias e alegrias,  
pela energia e pelo apoio constante  
durante esta fase de grande aprendizado.

Aos meus pais, Valdir e Luci,  
pelo incentivo e, principalmente, pelo exemplo.

Ao meu orientador, Márcio, pelo trabalho  
dedicado e extremamente competente, pela  
seriedade, pelo exemplo, pela amizade.

Ao meu co-orientador, Carlos Galup-Montoro,  
pelas revisões, pelo apoio e pelo interesse na minha  
boa formação.

Ao meu orientador anterior, Sidnei Noceti Filho,  
por toda colaboração e pela boa vontade constante.

Ao meu orientador na Holanda, Wouter Anton Serdijn,  
pela excelente acolhida e pela orientação competente.

Ao amigo Volney Vincence, pela companhia e amizade  
durante estes longos anos e pelas tardes de chimarrão e estudo.

Ao amigo Daniel Rocha, pelo auxílio contínuo e pela boa vontade  
sem limites, sem os quais não teria sido possível terminar os *chips* a tempo.

Ao William, ao Spiller e a todo o pessoal do LCI que está sempre disposto  
a colaborar com uma coisa ou outra.

Ao Loek, ao Koen, à Marion e ao Ram, pela boa vontade e ajuda em Delft.

Ao Eelco e ao Roelof, pelas “aulas” de holandês.

Ao Fabiano e ao Mauro, pelo squash (e pela Guinness!!).





Resumo da Tese apresentada à UFSC como parte dos requisitos necessários para a obtenção do grau de Doutor em Engenharia Elétrica.

# **TÉCNICA DE MOSFET CHAVEADO PARA FILTROS PROGRAMÁVEIS OPERANDO À BAIXA TENSÃO DE ALIMENTAÇÃO**

**Luís Cléber Carneiro Marques**

Novembro/2002

Orientador: Márcio Cherem Schneider.

Área de Concentração: Sistemas de Informação.

Palavras-chave: Circuitos analógicos, baixa-tensão, MOSFET chaveado.

Número de Páginas: 123.

O mercado e a necessidade de se implementar equipamentos portáteis têm pressionado a indústria a produzir circuitos com tensões de alimentação muito baixas. A tendência envolve a ambos circuitos, digitais e analógicos. Para o projeto de circuitos analógicos, uma das mais sérias limitações que surgem quando a tensão de alimentação é reduzida é a dificuldade de se ligar as chaves MOS em toda a excursão de tensão. A técnica de MOSFET chaveado (SM), recentemente introduzida, é uma técnica de dados amostrados útil para operação à baixa tensão de alimentação visto que todas as chaves em circuitos SM operam à tensão constante dentro da faixa de condução do MOSFET. Além disso, a técnica SM não necessita nem de processos dedicados nem de esquemas de multiplicação de *clock*. O bloco básico de construção da técnica SM é um *sample-and-hold* (célula de meio atraso) para baixa tensão composto de um amplificador operacional e transistores MOS operando na região triodo. A programação dos circuitos SM, a qual é executada através de divisores de corrente totalmente com MOSFETs (MOCDs), é simples e não requer muita área de silício. Neste trabalho, é desenvolvida uma análise matemática da estrutura básica SM, a célula de meio atraso, e esquemas de compensação de *offset* são discutidos. A célula é implementada com tecnologia AMS 0,35 $\mu$ m e resultados de testes são apresentados. Um filtro programável SM para baixa tensão também é implementado, em um processo CMOS de 1,6 $\mu$ m. O filtro contém um conversor v/i, uma célula de meio atraso, uma seção biquadrática (contendo compensação de *offset* por auto-zero e MOCDs para programação) e um conversor v/i.



Abstract of Thesis presented to UFSC as a partial fulfilment of the requirements for the degree of Doctor in Electrical Engineering.

# **SWITCHED-MOSFET TECHNIQUE FOR PROGRAMMABLE FILTERS OPERATING AT LOW- VOLTAGE SUPPLY**

**Luís Cléber Carneiro Marques**

November 2002

Advisor: Márcio Cherem Schneider.

Area: Information Systems.

Keywords: Analogue circuits, low-voltage, switched-MOSFET.

Number of Pages: 123.

The market and the need to implement portable electronic equipment have pushed the industry to produce circuit designs with very low-voltage power supply. This trend addresses both analogue and digital circuits. For analogue design, a key limitation that arises as the supply voltage is reduced is the difficulty of turning ON the MOS switches over the entire voltage swing. The recently introduced switched-MOSFET (SM) technique is a sampled-data technique suitable for low supply voltage operation since all SM switches operate at a constant voltage within the conduction range of the MOSFET. Besides, the SM technique does not need either dedicated processes or clock voltage multiplication schemes. The basic building block of the SM technique is a low-voltage sample-and-hold (half-delay cell) composed of an operational amplifier and MOS transistors operating in the triode region. Programmability of SM circuits, which is achieved through MOSFET-only current dividers (MOCDs), is simple and does not require a large silicon area. In this work, a mathematical analysis of the very basic SM structure, the half-delay cell, is developed, and offset compensation schemes are discussed. The implementation of a half-delay cell with AMS 0.35 $\mu\text{m}$  is described and measurement results presented. An SM programmable low-voltage filter is also implemented, using a 1.6 $\mu\text{m}$  CMOS process. The implemented filter contains a v-to-i converter, a half-delay cell, a biquadratic section (using auto-zero offset compensation and MOCDs for programming) and an i-to-v converter.



# Índice

<b>Lista de figuras</b>	<b>xiii</b>
<b>Lista de tabelas</b>	<b>xv</b>
<b>Lista de símbolos</b>	<b>xvii</b>
<b>1 Introdução</b>	<b>1</b>
1.1 Digital e analógico.....	1
1.2 Projeto de circuitos de baixa tensão e baixo consumo.....	2
1.2.1 Gap de condução das chaves .....	5
1.2.2 Amplificador operacional sob baixa tensão de alimentação .....	11
1.3 Programação .....	11
1.4 Organização do trabalho.....	13
<b>2 Técnica de MOSFET chaveado</b>	<b>15</b>
2.1 Introdução .....	15
2.2 Bloco básico de construção da técnica SM .....	16
2.3 Geração da tensão de polarização para circuitos SM.....	19
2.4 Programação e o MOCD.....	21
2.5 Outras estruturas SM.....	23
2.5.1 Integrador de primeira geração .....	23
2.5.2 Integrador de segunda geração .....	25
2.5.3 Biquad universal SM .....	28
2.6 Sumário.....	29
<b>3 Análise da célula de meio atraso</b>	<b>31</b>
3.1 Introdução .....	31
3.2 Efeitos da tensão de <i>offset</i> do amp-op e compensação de <i>offset</i> .....	32
3.2.1 <i>Correlated double-sampling</i> em circuitos SM.....	33
3.2.2 Auto-zero na célula de meio atraso SM.....	34
3.2.3 Comparação entre as células de meio atraso com e sem compensação de <i>offset</i> .....	39
3.3 Tempo de estabelecimento .....	41
3.4 Ruído.....	42
3.4.1 Ruído nos transistores e no amplificador operacional .....	43
3.4.2 Ruído na célula de meio atraso SM .....	45
3.5 Injeção de carga .....	48
3.5.1 Injeção de carga devida às capacitâncias de <i>overlap</i> .....	49
3.5.2 Injeção de carga devida à carga do canal.....	49
3.5.3 Injeção de carga na célula de meio atraso SM.....	50
3.6 Distorção harmônica .....	53
3.6.1 Efeito da tensão de <i>offset</i> do amp-op .....	54
3.6.2 Efeito da carga injetada .....	54

3.6.3	Efeito do descasamento entre os componentes.....	55
3.6.4	Efeito do ganho DC finito do amp-op .....	56
<b>3.7</b>	<b>Implementação de uma célula de meio atraso SM.....</b>	<b>56</b>
3.7.1	Simulações .....	57
3.7.2	Medições no amp-op .....	58
3.7.3	Medições na célula de meio atraso .....	60
<b>3.8</b>	<b>Sumário.....</b>	<b>62</b>
<b>4</b>	<b><i>MOSFET chaveado: análise em nível de sistema</i> .....</b>	<b>65</b>
<b>4.1</b>	<b>Introdução .....</b>	<b>65</b>
<b>4.2</b>	<b><i>Offset em outras estruturas SM.....</i></b>	<b>65</b>
4.2.1	Efeito da tensão de <i>offset</i> no integrador de primeira geração .....	66
4.2.2	Efeito da tensão de <i>offset</i> no integrador de segunda geração .....	66
4.2.3	Efeito da tensão de <i>offset</i> na biquadrática .....	67
<b>4.3</b>	<b>Conversores tensão/corrente e corrente/tensão.....</b>	<b>67</b>
<b>4.4</b>	<b>Sumário.....</b>	<b>70</b>
<b>5</b>	<b><i>Implementação de estruturas básicas MOSFET chaveado</i> .....</b>	<b>71</b>
<b>5.1</b>	<b>Introdução .....</b>	<b>71</b>
<b>5.2</b>	<b>Amplificador operacional.....</b>	<b>73</b>
<b>5.3</b>	<b>Alterando a tensão de polarização.....</b>	<b>77</b>
<b>5.4</b>	<b>Implementação do filtro SM usando DIMOS .....</b>	<b>78</b>
<b>5.5</b>	<b>Resultados experimentais.....</b>	<b>82</b>
5.5.1	Medições nos amp-ops .....	82
5.5.2	Medições no filtro SM.....	85
<b>5.6</b>	<b>Conclusões .....</b>	<b>89</b>
<b>6</b>	<b><i>Conclusões e trabalhos futuros</i> .....</b>	<b>91</b>
<b>6.1</b>	<b>Conclusões .....</b>	<b>91</b>
<b>6.2</b>	<b>Trabalhos futuros com MOSFET chaveado.....</b>	<b>93</b>
<b>Apêndice A</b>	<b><i>– Análise do circuito de auto-zero</i> .....</b>	<b>95</b>
<b>Apêndice B</b>	<b><i>– Equações e simulações para tempo de estabelecimento na célula de meio atraso SM</i> .....</b>	<b>97</b>
<b>Apêndice C</b>	<b><i>– Análise de ruído</i> .....</b>	<b>103</b>
<b>Apêndice D</b>	<b><i>– Análise de distorção harmônica</i> .....</b>	<b>109</b>
<b>Apêndice E</b>	<b><i>– Análise dos efeitos do offset na biquadrática universal SM</i> .....</b>	<b>115</b>
<b>Apêndice F</b>	<b><i>– Análise da influência do anho DC finito do amp-op na linearidade dos conversores v/i e i/v</i> .....</b>	<b>117</b>
<b>Referências</b>	<b>.....</b>	<b>119</b>
<b>Artigos publicados</b>	<b>.....</b>	<b>123</b>

## Lista de figuras

<b>Fig. 1-1.</b>	<b><i>Técnicas de circuitos integrados analógicos.</i></b>	<b>5</b>
<b>Fig. 1-2.</b>	<b><i>O circuito S/H básico.</i></b>	<b>7</b>
<b>Fig. 1-3.</b>	<b><i>Condutância ON de uma chave CMOS, <math>V_{DD}=5V</math> e <math>1,5V</math>.</i></b>	<b>7</b>
<b>Fig. 1-4.</b>	<b><i>Chave “composta” para a técnica de bootstrap.</i></b>	<b>9</b>
<b>Fig. 1-5.</b>	<b><i>Técnica switched-opamp.</i></b>	<b>10</b>
<b>Fig. 1-6.</b>	<b><i>A faixa de tensão de modo comum de entrada de um amp-op.</i></b>	<b>11</b>
<b>Fig. 1-7.</b>	<b><i>Matriz de capacitores programável (em binário).</i></b>	<b>12</b>
<b>Fig. 1-8.</b>	<b><i>Espelho de corrente básico programável.</i></b>	<b>13</b>
<b>Fig. 2-1.</b>	<b><i>Modos de computação analógica.</i></b>	<b>16</b>
<b>Fig. 2-2.</b>	<b><i>Blocos básicos de construção para técnicas de dados amostrados.</i></b>	<b>17</b>
<b>Fig. 2-3.</b>	<b><i>A célula de meio atraso da técnica SM.</i></b>	<b>18</b>
<b>Fig. 2-4.</b>	<b><i>Geração de <math>V_X</math> para excursão simétrica máxima de corrente.</i></b>	<b>20</b>
<b>Fig. 2-5.</b>	<b><i>Corrente em um transistor MOS tendo <math>V_S = V_{X\_non-lin.}</math></i></b>	<b>21</b>
<b>Fig. 2-6.</b>	<b><i>O divisor de corrente inteiramente com MOSFETs, MOCD.</i></b>	<b>22</b>
<b>Fig. 2-7.</b>	<b><i>Integrador SM de primeira geração.</i></b>	<b>23</b>
<b>Fig. 2-8.</b>	<b><i>Integrador universal SM de primeira geração.</i></b>	<b>24</b>
<b>Fig. 2-9.</b>	<b><i>Integrador SM de segunda geração.</i></b>	<b>26</b>
<b>Fig. 2-10.</b>	<b><i>Integrador universal SM de segunda geração.</i></b>	<b>27</b>
<b>Fig. 2-11.</b>	<b><i>Biquadrática SM universal.</i></b>	<b>29</b>
<b>Fig. 3-1.</b>	<b><i>Espelho de corrente de baixa tensão.</i></b>	<b>32</b>
<b>Fig. 3-2.</b>	<b><i>A célula básica de meio atraso da técnica de MOSFET chaveado.</i></b>	<b>33</b>
<b>Fig. 3-3.</b>	<b><i>Célula de meio atraso SM com CDS para compensação de offset.</i></b>	<b>33</b>
<b>Fig. 3-4.</b>	<b><i>Célula de meio atraso SM com AZ para compensação de offset.</i></b>	<b>35</b>
<b>Fig. 3-5.</b>	<b><i>Seqüência de clock para o circuito da Fig. 3-4.</i></b>	<b>35</b>
<b>Fig. 3-6.</b>	<b><i>Circuito equivalente de pequenos sinais para a determinação de <math>t_{az}</math>.</i></b>	<b>36</b>
<b>Fig. 3-7.</b>	<b><i>Gerador de clock para o circuito de AZ.</i></b>	<b>38</b>
<b>Fig. 3-8.</b>	<b><i>Sinais para o circuito da Fig. 3-7.</i></b>	<b>39</b>
<b>Fig. 3-9.</b>	<b><i>Sinais para o circuito da Fig. 3-7 - detalhe.</i></b>	<b>39</b>
<b>Fig. 3-10.</b>	<b><i>Circuito para a obtenção do sinal <math>\phi</math>.</i></b>	<b>39</b>
<b>Fig. 3-11.</b>	<b><i>Circuito equivalente de pequenos sinais para a célula de meio atraso SM.</i></b>	<b>41</b>
<b>Fig. 3-12.</b>	<b><i>Amp-op simples.</i></b>	<b>45</b>
<b>Fig. 3-13.</b>	<b><i>Sample-and-hold simples.</i></b>	<b>46</b>
<b>Fig. 3-14.</b>	<b><i>A célula básica de meio atraso de técnica SM</i></b>	<b>51</b>
<b>Fig. 3-15.</b>	<b><i>A célula de meio atraso SM com auto-zero.</i></b>	<b>51</b>

<b>Fig. 3-16</b>	<b>Amp-op classe A para baixa tensão de alimentação.</b>	<b>57</b>
<b>Fig. 3-17.</b>	<b>Circuito para medir <math>f_u</math> e PM.</b>	<b>59</b>
<b>Fig. 3-18.</b>	<b>Resposta em manitude para o circuito da Fig. 3-17.</b>	<b>59</b>
<b>Fig. 3-19.</b>	<b>A célula de meio atraso SM integrada.</b>	<b>60</b>
<b>Fig. 3-20.</b>	<b>Distorção versus corrente e frequência de entrada.</b>	<b>61</b>
<b>Fig. 3-21.</b>	<b>Medição do ruído na célula de meio atraso SM.</b>	<b>62</b>
<b>Fig. 4-1.</b>	<b>Conversor v/i SM.</b>	<b>68</b>
<b>Fig. 4-2.</b>	<b>Conversor v/i SM aperfeiçoado.</b>	<b>68</b>
<b>Fig. 4-3.</b>	<b>Fonte de corrente <math>-V_X/R</math> para o conversor v/i.</b>	<b>69</b>
<b>Fig. 4-4.</b>	<b>Conversor v/i completo.</b>	<b>69</b>
<b>Fig. 4-5.</b>	<b>Conversor i/v completo.</b>	<b>69</b>
<b>Fig. 5-1.</b>	<b>Simples amp-op classe A Miller.</b>	<b>73</b>
<b>Fig. 5-2.</b>	<b>Amp-op classe A para baixa tensão.</b>	<b>73</b>
<b>Fig. 5-3.</b>	<b>Resposta em frequência do amp-op classe A de baixa tensão.</b>	<b>76</b>
<b>Fig. 5-4.</b>	<b>Geração de <math>V_X</math> “elevado” com transistores idênticos.</b>	<b>78</b>
<b>Fig. 5-5.</b>	<b>Leiaute do amp-op classe A (carga de 4t) da Fig. 5-2.</b>	<b>80</b>
<b>Fig. 5-6.</b>	<b>Esquemático simplificado do filtro SM.</b>	<b>81</b>
<b>Fig. 5-7.</b>	<b>Leiaute do filtro SM.</b>	<b>81</b>
<b>Fig. 5-8.</b>	<b>Floorplan do filtro SM.</b>	<b>82</b>
<b>Fig. 5-9.</b>	<b>Tensões DC em um simples inversor de ganho unitário com <math>V_{OS}=150mV</math>.</b>	<b>84</b>
<b>Fig. 5-10.</b>	<b>Resposta em magnitude do amp-op DIMES. na configuração não-inversora de ganho unitário.</b>	<b>84</b>
<b>Fig. 5-11.</b>	<b>Amplificador inversor.</b>	<b>85</b>
<b>Fig. 5-12.</b>	<b>Respostas AC medidas para várias palavras nos MOCDs.</b>	<b>86</b>
<b>Fig. 5-13.</b>	<b>Ruído medido.</b>	<b>87</b>
<b>Fig. 5-14.</b>	<b>Distorção medida.</b>	<b>88</b>
<b>Fig. 5-15.</b>	<b>Microfotografia para o chip.</b>	<b>88</b>
<b>Fig. A-1.</b>	<b>Circuito equivalente de pequenos sinais para a determinação de <math>t_{az}</math>.</b>	<b>95</b>
<b>Fig. B-1.</b>	<b>Circuito equivalente de pequenos sinais - chaves ideais e amp-op com largura de banda infinita.</b>	<b>97</b>
<b>Fig. B-2.</b>	<b>Circuito equivalente de pequenos sinais - chaves reais e amp-op com largura de banda infinita.</b>	<b>98</b>
<b>Fig. C-1.</b>	<b>Circuito equivalente de ruído para o intervalo de retenção</b>	<b>104</b>
<b>Fig. C-2.</b>	<b>Circuito equivalente de ruído para o intervalo de auto-zero.</b>	<b>105</b>
<b>Fig. C-3.</b>	<b>Circuito equivalente de ruído para o intervalo de amostragem.</b>	<b>107</b>
<b>Fig. D-1.</b>	<b>A célula de meio atraso da técnica SM.</b>	<b>109</b>
<b>Fig. F-1.</b>	<b>Circuito completo do conversor v/i.</b>	<b>117</b>



## Lista de tabelas

<i>Tabela 2-1. Funções de transferência para o integrador universal de 1ª geração.</i>	25
<i>Tabela 2-2. Funções de transferência para o integrador universal de 2ª geração.</i>	27
<i>Tabela 3-1. Simulação das correntes de offset nos circuitos das Fig. 3-2, Fig. 3-3 e Fig. 3-4</i>	40
<i>Tabela 3-2. Valores de projeto para o amp-op classe A.</i>	57
<i>Tabela 3-3. Resultados de simulação para o amp-op AMS, malha aberta.</i>	57
<i>Tabela 3-4. Resposta ao impulso simulada para o amp-op AMS, ganho unitário.</i>	58
<i>Tabela 3-5. Medições DC para o amp-op AMS.</i>	58
<i>Tabela 5-1. Definições para o projeto do amp-op e do filtro SM.</i>	74
<i>Tabela 5-2. Valores obtidos para os amp-ops classe A (Fig. 5-2).</i>	76
<i>Tabela 5-3. Definições para o projeto do amp-op e do filtro com DIMOS 01.</i>	79
<i>Tabela 5-4. Valores obtidos para os amp-ops classe A (Fig. 5-2) com DIMOS 01.</i>	79
<i>Tabela 5-5. Medições DC para os amp-ops DIMES.</i>	83
<i>Tabela 5-6. Detalhes da resposta AC.</i>	87
<i>Tabela 5-7. Resultados de distorção.</i>	88
<i>Tabela B-1. Valores máximos calculados e simulados para <math>C_h</math> para erro de estabelecimento de 8 bits.</i>	102



## Lista de símbolos

<b><i>VLSI</i></b>	<b><i>Very Large Scale Integrated circuits.</i></b>	<b><i>1</i></b>
<b><i>CMOS</i></b>	<b><i>Complementary Metal Oxide Semiconductor.</i></b>	<b><i>1</i></b>
<b><i>A/D</i></b>	<b><i>Analógico para Digital.</i></b>	<b><i>2</i></b>
<b><i>D/A</i></b>	<b><i>Digital para Analógico.</i></b>	<b><i>2</i></b>
<b><i>LVLP</i></b>	<b><i>Low-Voltage Low-Power circuits.</i></b>	<b><i>3</i></b>
<b><i>SC</i></b>	<b><i>Switched-Capacitor.</i></b>	<b><i>4</i></b>
<b><i>SM</i></b>	<b><i>Switched-MOSFET.</i></b>	<b><i>5</i></b>
<b><i>SI</i></b>	<b><i>Switched-current</i></b>	<b><i>5</i></b>
<b><i>S/H</i></b>	<b><i>Sample-and-Hold.</i></b>	<b><i>6</i></b>
<b><i>PCA</i></b>	<b><i>Programmable Capacitors Array</i></b>	<b><i>12</i></b>
<b><i>MOCD</i></b>	<b><i>MOSFET-Only Current Divider.</i></b>	<b><i>13</i></b>
<b><i>CDS</i></b>	<b><i>Correlated Double-Sampling.</i></b>	<b><i>33</i></b>
<b><i>AZ</i></b>	<b><i>Auto-Zero</i></b>	<b><i>34</i></b>



# *Introdução*

# 1

## **1.1 Digital e analógico**

Os avanços em integração de circuitos em escala muito grande (VLSI - *Very Large Scale Integrated circuits*) tornaram possível integrar vários milhões de transistores sobre uma única pastilha de silício (*silicon chip*). Isto deu um tremendo impulso ao processamento digital de sinais. Implementações digitais oferecem várias vantagens quando comparadas a soluções com circuitos analógicos: fácil programação, flexibilidade, funcionalidade adicional do produto, boa imunidade a ambos ruído e tolerâncias do processo industrial, e ciclos de projeto menores. Porém, a demanda de circuitos analógicos permanecerá. Condicionamento analógico de sinais e circuitos de conversão de dados são necessários para um circuito digital interagir com um mundo inerentemente analógico. De fato, a tendência hoje em dia é realizar sistemas complexos que contêm o cerne digital e os circuitos analógicos de interface em uma mesma pastilha, o que exige estratégias de projeto de circuitos mistos (*mixed-mode circuits*). A tecnologia de processo dominante para se realizar circuitos de integração em escala muito grande ainda é CMOS (Semicondutor de Óxido de Metal Complementar - *Complementary Metal Oxide Semiconductor*). Assim, uma técnica de circuitos analógicos que pode ser implementada em um processo CMOS comum encontrará enorme aplicação.

Além de realizar a interface entre o mundo analógico e um processador de sinais digital, circuitos analógicos ainda são e continuarão a ser utilizados em sistemas completos [1]. Isto se aplica a sistemas onde a frequência de operação é muito alta para uma implementação digital, a circuitos onde a baixa complexidade não justifica uma solução digital e a circuitos de muito baixo consumo, onde os circuitos adicionais (*overhead*) necessários, conversores analógico/digital (A/D) e digital/analógico (D/A), não podem ser tolerados.

## **1.2 Projeto de circuitos de baixa tensão e baixo consumo**

Durante os últimos anos, a tensão de alimentação para circuitos VLSI tem diminuído muito e continuará ainda a diminuir. Esta tendência ocorre devido a três fatores correlacionados [2, 3]. O primeiro é o escalamento da tecnologia VLSI, a qual atinge comprimentos de canal bem menores que  $1\mu\text{m}$  (*deep-submicron*). À medida que o comprimento de canal atinge dimensões sub-mícron e a espessura do óxido de porta é reduzida para apenas alguns nanômetros, a tensão de alimentação tem que ser reduzida de modo a assegurar a confiabilidade do dispositivo. A segunda razão para a redução da tensão de alimentação é o gerenciamento de potência em grandes pastilhas VLSI. Uma pastilha de silício pode dissipar somente uma quantidade limitada de potência por unidade de área. Já que a densidade crescente de componentes permite a integração de mais funções eletrônicas por unidade de área, a potência dissipada por função eletrônica tem que ser reduzida de modo a evitar sobreaquecimento da pastilha. O terceiro motivo para a redução da tensão de alimentação é o aumento da demanda, por parte do mercado, por produtos móveis e operados a bateria.

Torna-se importante definir o termo baixa tensão (*LV - low-voltage*). Hoje em dia são considerados circuitos integrados de baixa tensão de alimentação aqueles que operam com 1,5V ou menos. Uma outra definição relaciona a tensão de alimentação com parâmetros tecnológicos e com o número de dispositivos empilhados (*stacked devices*) que podem ser colocados no circuito. Serdijn [4] considera como circuitos analógicos de baixa tensão de operação aqueles que não têm duas ou mais junções em série entre duas linhas de alimentação (no caso de transistores bipolares). Da mesma forma, para MOSFETs, Hogervorst [5] considera como circuitos de baixa tensão aqueles capazes de operar com uma tensão de alimentação de duas tensões porta-fonte e duas tensões de saturação empilhadas. Considera ainda como circuitos de extrema baixa tensão aqueles que necessitam de uma tensão de alimentação mínima de uma tensão porta-fonte e uma tensão de saturação.

Para sucesso de mercado, os equipamentos portáteis devem ser cada vez menores. Para a necessária redução de tamanho dos equipamentos portáteis, o tamanho das baterias está agora se tornando o fator limitante. Assim, além da diminuição da tensão de alimentação, em muitos casos também se torna necessária a redução da dissipação de potência. Para dispositivos eletrônicos médicos implantáveis, por exemplo, esta restrição em relação à dissipação de potência sempre se aplica. Temos, neste caso, os circuitos de baixa tensão e baixa potência (*LVL - Low-Voltage Low-Power circuits*).

Com a redução da tensão de alimentação, projetistas de circuitos analógicos têm que enfrentar novos problemas. Características importantes dos dispositivos, tais como ganho e linearidade, são extremamente dependentes da tensão de alimentação. Mas as principais limitações que surgem com a redução da tensão são o número reduzido de dispositivos que podem ser empilhados entre as linhas de alimentação, a reduzida excursão de tensão e a dificuldade de fechar as chaves MOS em toda a excursão de tensão [6]. O primeiro

problema limita os tipos de topologia que podem ser utilizados. O segundo problema reduz a faixa dinâmica obtida para um dado consumo de corrente. O terceiro problema é particularmente severo em circuitos de dados amostrados (ver subseção 1.2.1 abaixo) mas pode também limitar a habilidade de programar digitalmente circuitos de tempo contínuo (*continuous-time circuits*) [6].

Conforme o explicado na seção 1.1, em muitos casos os circuitos analógicos compartilham uma mesma pastilha com circuitos digitais complexos. Como os circuitos digitais em tais sistemas constituem a maior parcela da pastilha, os parâmetros elétricos dos transistores são otimizados para os mesmos, o que torna o projeto dos circuitos analógicos mais difícil. Projetistas de circuitos analógicos poderiam tirar vantagem da diminuição das tensões de limiar (*threshold voltages*) com o escalamento das tecnologias MOS. Mas a redução das tensões de limiar produz dois efeitos negativos para os circuitos digitais, a redução da margem de ruído e correntes de fuga maiores. Devido a estes efeitos negativos, à medida que os processos tecnológicos são escalados para baixo, as tensões de limiar dos MOSFETs dos processos CMOS padrão (de baixo custo) permanecem praticamente as mesmas.

Filtros analógicos podem ser implementados tanto com circuitos de tempo contínuo como com técnicas de dados amostrados (*sampled-data techniques*). Tradicionalmente (i. e., não baixa tensão), implementações de dados amostrados (especialmente com a técnica de capacitor chaveado, SC – *Switched-Capacitor*) são usadas para aplicações de baixa frequência e alta precisão, enquanto que soluções de tempo contínuo (especialmente implementações  $g_m$ -C) são usadas para circuitos de alta frequência e de precisão média ou baixa [6].

Para operação à baixa tensão de alimentação, há uma tendência de se usar técnicas que processam correntes em vez de técnicas que processam tensões [1, 7]. Processamento



analogico de sinais em modo corrente pode ser grosseiramente definido como processamento analogico de sinais no qual corrente, mais do que tensao, é o principal, embora não necessariamente exclusivo, meio de condução da informação [1]. A ampla gama de aplicações nas quais técnicas em modo corrente podem ser aplicadas com vantagem está documentada em [7]. A Fig. 1-1 ilustra algumas das técnicas analógicas para circuitos integrados. Nós iremos nos focar em circuitos de tempo discreto e iremos demonstrar a utilidade da técnica de MOSFET chaveado (SM – *Switched-MOSFET*), a qual também processa correntes.

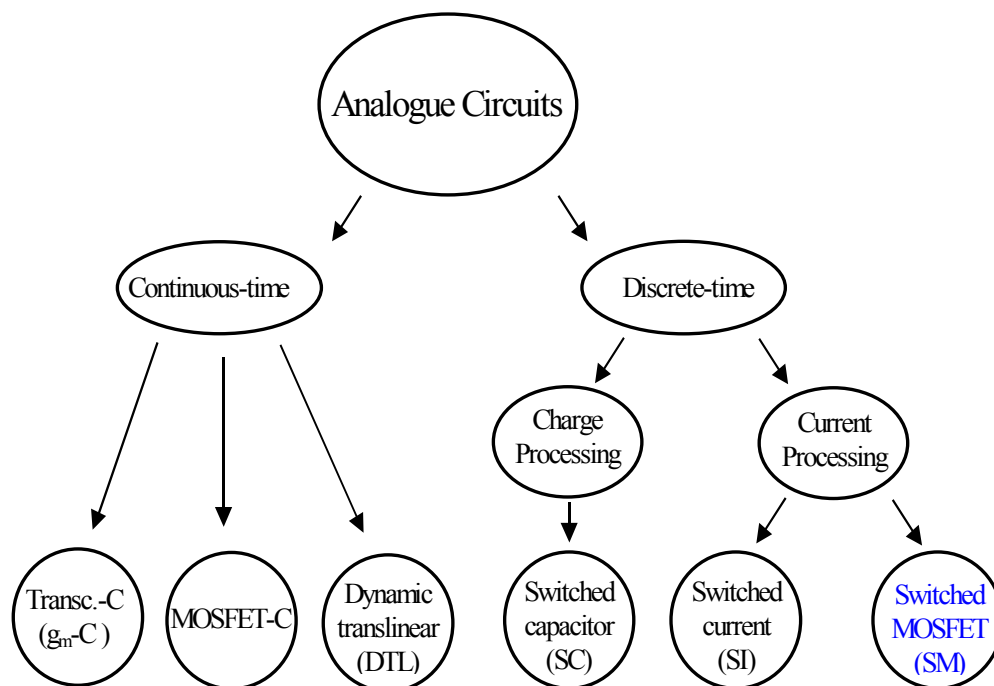


Fig. 1-1. Técnicas de circuitos integrados analógicos.

### 1.2.1 “Gap” de condução das chaves

Um dos problemas-chave que devem ser enfrentados em operação à baixa tensão de alimentação está relacionado com as chaves. A chave MOS complementar tem sido amplamente utilizada em circuitos analógicos de dados amostrados (capacitor chaveado e corrente chaveada, SI – *Switched-current*). A Fig. 1-2 mostra um simples circuito de

amostragem e retenção (S/H – *Sample and Hold*). Por volta de  $V_S = V_D = V_{in}$ , a condutância de uma chave n-MOS em inversão forte [8] é:

$$g_{DSn} = \mu_n C'_{ox} \frac{W}{L} (V_{DD} - V_{Ton} - nV_{in}) \quad (1-1)$$

onde  $n$  é o fator de rampa,  $\mu_n$  é a mobilidade do elétron,  $C'_{ox}$  é a capacitância do óxido por unidade de área,  $W/L$  é a razão de aspecto ( $W$  é a largura de canal e  $L$  é o comprimento de canal) e  $V_{Ton}$  é a tensão de limiar no equilíbrio para o transistor n-MOS. A expressão para a condutância  $g_{DSp}$  da chave p-MOS é similar a (1-1). A condutância da chave depende da tensão de alimentação e do sinal de entrada. A Fig. 1-3 ilustra a operação *rail-to-rail* da chave CMOS. Note a dependência da condutância total da chave ( $G_{on} = g_{DSn} + g_{DSp}$ ) com o sinal de entrada. Reduzindo-se a tensão de alimentação, a faixa de condução simultânea dos dispositivos p-MOS e n-MOS fica também reduzida. Quando a tensão de alimentação é menor do que  $(V_{Ton} + |V_{Top}|) / (2 - n)$  [9] ( $V_{Top}$  é a tensão de limiar no equilíbrio para o transistor p-MOS), como na Fig. 1.3b, a resistência no estado *ON* torna-se proibitivamente grande para valores intermediários de  $v_{in}$  e a operação *rail-to-rail* não é mais possível. Para concluir, o chamado “*gap*” de condução da chave, o qual afeta tanto os circuitos SC como os circuitos SI, é um dos mais significantes obstáculos para a operação de circuitos de dados amostrados à baixa tensão de alimentação.

Algumas propostas para se lidar com o problema do *gap* de condução das chaves são encontradas na literatura. Uma delas é o uso dos processos, caros, de baixa tensão de limiar (*low threshold processes*) [6, 10], incompatíveis com os processos CMOS utilizados para circuitos digitais.

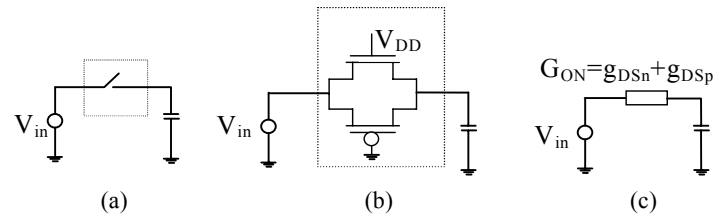


Fig. 1-2. O circuito S/H básico.  
 (a) Esquemático. (b) Com chave CMOS. (c) A condutância da chave CMOS.

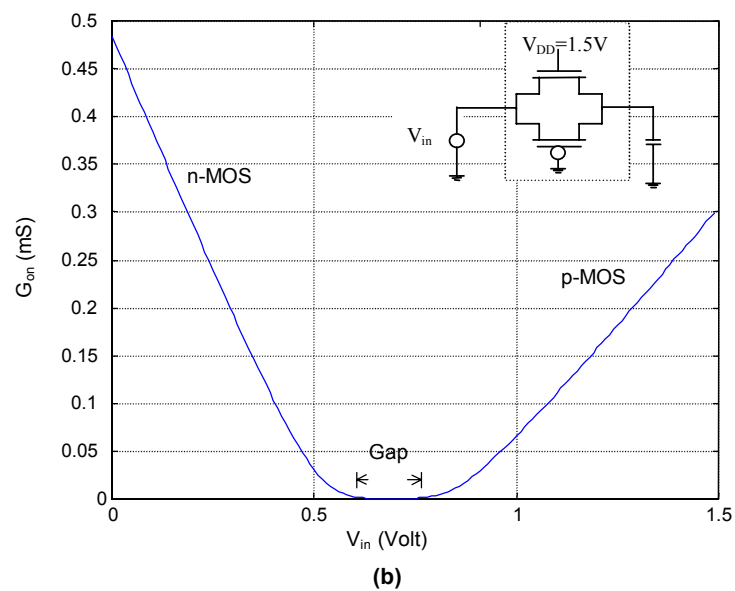
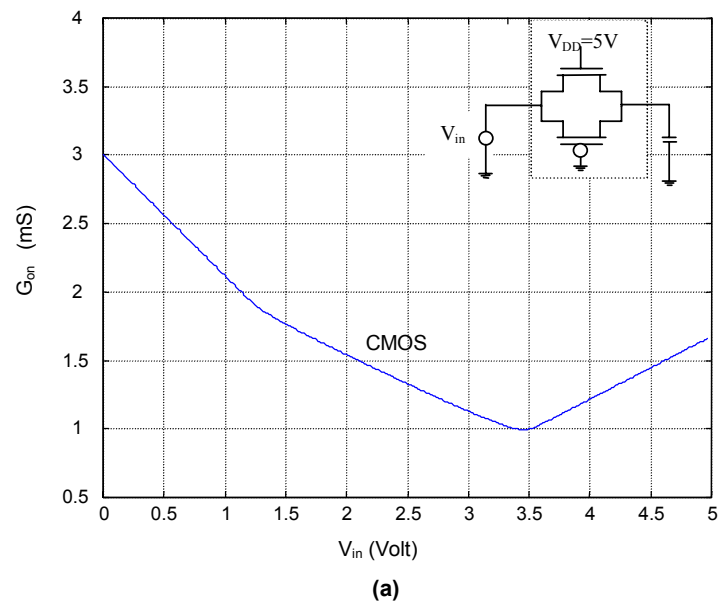


Fig. 1-3. Condutância ON de uma chave CMOS, (a)  $V_{DD} = 5V$  e (b)  $V_{DD} = 1.5V$ .

Uma outra solução freqüentemente utilizada no passado para evitar o *gap* de condução das chaves em circuitos a capacitor chaveado é o uso de multiplicadores de tensão que geram dentro da pastilha (*on-chip*) sinais de *clock* maiores que a tensão de alimentação [11, 12]. No entanto, para tecnologias sub-mícron o uso de dobradores de tensão para melhorar o desempenho dos circuitos é raramente recomendado devido à baixa tensão de ruptura dos transistores [13]. Além disso, esta solução introduz possíveis problemas de confiabilidade de longo prazo no óxido.

Circuitos de *bootstrap* oferecem outra possível solução para o problema do *gap* de condução das chaves [14]. Sua operação permite a aplicação, quando a chave está *ON*, de uma tensão constante igual a  $V_{DD}$  entre os terminais porta e fonte. Desta forma, uma baixa resistência entre dreno e fonte é estabelecida, independentemente do sinal de entrada. Para a operação dos circuitos de *bootstrap*, muitos componentes devem ser adicionados para a criação da chave “composta”. A Fig. 1-4 mostra um circuito de *bootstrap* [14] junto com a chave n-MOS propriamente dita (*M11*). Durante a fase *OFF*,  $\phi$  está baixo. Os dispositivos *M7* e *M10* descarregam a porta de *M11*. Ao mesmo tempo,  $V_{DD}$  é aplicado ao capacitor *C3* por *M3* e *M12*. Este capacitor age como uma bateria, aplicando tensão entre porta e fonte de *M11* durante a fase *ON*. *M8* e *M9* isolam a chave de *C3* enquanto ele está se carregando. Quando  $\phi$  torna-se alto, *M5* joga para baixo a tensão da porta de *M8*, permitindo que a carga do capacitor-bateria *C3* flua para a porta *G*. Isto liga ambos *M9* e *M11*. *M9* habilita a porta *G* a seguir a tensão de entrada *S*, adicionada de  $V_{DD}$ , mantendo a tensão porta-fonte constante independentemente do sinal de entrada. Por exemplo, se a fonte *S* está a  $V_{DD}$ , então a porta *G* está a  $2V_{DD}$ , contudo,  $v_{GS} = V_{DD}$ . Note que o nó *S* é preferencialmente excitado por uma fonte de baixa impedância devido à capacitância adicionada a este nó. Os dispositivos *M6* e *M7* não são funcionalmente necessários, mas melhoram a confiabilidade

do circuito.  $M_1$ ,  $M_2$ ,  $C_1$  e  $C_2$  formam um multiplicador de *clock* que permite a  $M_3$  carregar unidirecionalmente  $C_3$  durante a fase *OFF*.

O problema com a solução por circuitos de *bootstrap* é o enorme *overhead* (como pode ser visto na Fig. 1-4) que deve ser adicionado a cada chave crítica (i.e., cada chave no caminho do sinal) no circuito de dados amostrados.

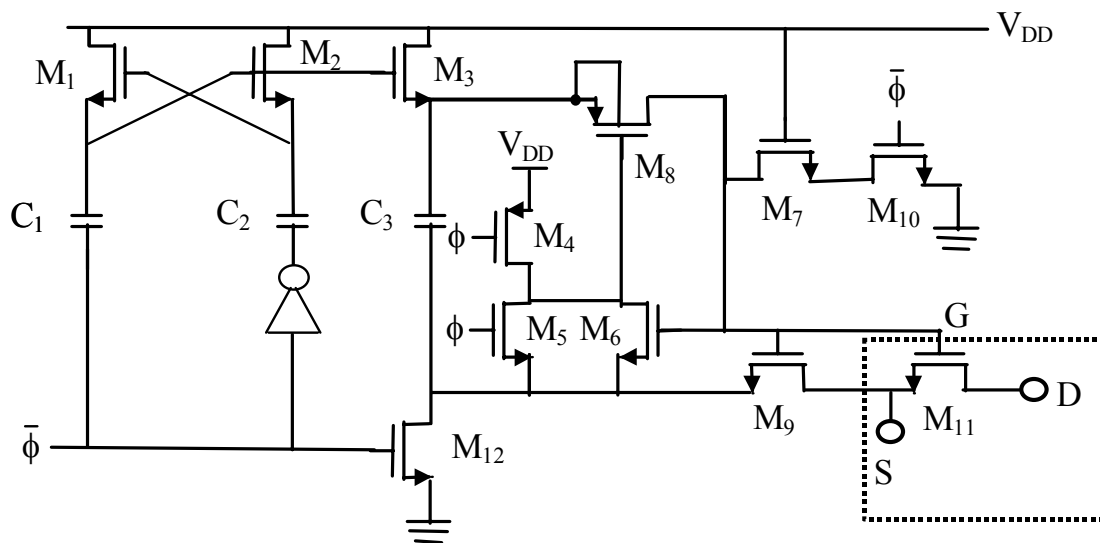


Fig. 1-4. Chave “composta” para a técnica de *bootstrap* [14].

A técnica *switched-opamp* [15, 16] é outra abordagem para permitir operação correta das chaves em circuitos SC à baixa tensão de alimentação. Nesta técnica, a chave crítica é eliminada e sua função é realizada ligando-se e desligando-se o amplificador operacional (amp-op) conectado a esta chave. A Fig. 1-5 mostra um circuito SC convencional e o circuito equivalente *switched-opamp*. A base da técnica está no fato de a saída do amp-op estar em alta impedância durante o estado de *clock* baixo para a chave crítica em questão, conforme mostrado na Fig. 1-5c. Uma das desvantagens desta técnica está no fato de o circuito de realimentação não poder estar presente em todas as fases. Por exemplo, no circuito da Fig. 1-5b, o circuito de realimentação (*overall feedback*) não é permitido durante  $\phi_1$ . Cheung et al [41] propõem uma solução para este problema, a qual consiste em

colocar um outro amp-op chaveado em paralelo com o original e operá-lo durante  $\phi_2$ . Como pode ser notado, esta solução implica em mais área ocupada e em consumo extra de corrente. Outro problema da técnica *switched-opamp* diz respeito à necessidade de utilização de uma chave de entrada em muitos circuitos, de modo que uma interface deve ser adicionada na entrada. Algumas soluções podem ser encontradas em [17, 18]. Contudo, mais complexidade é adicionada. Além disso, na técnica *switched-opamp* a frequência máxima de amostragem é limitada pelo tempo de ligar e desligar o amp-op.

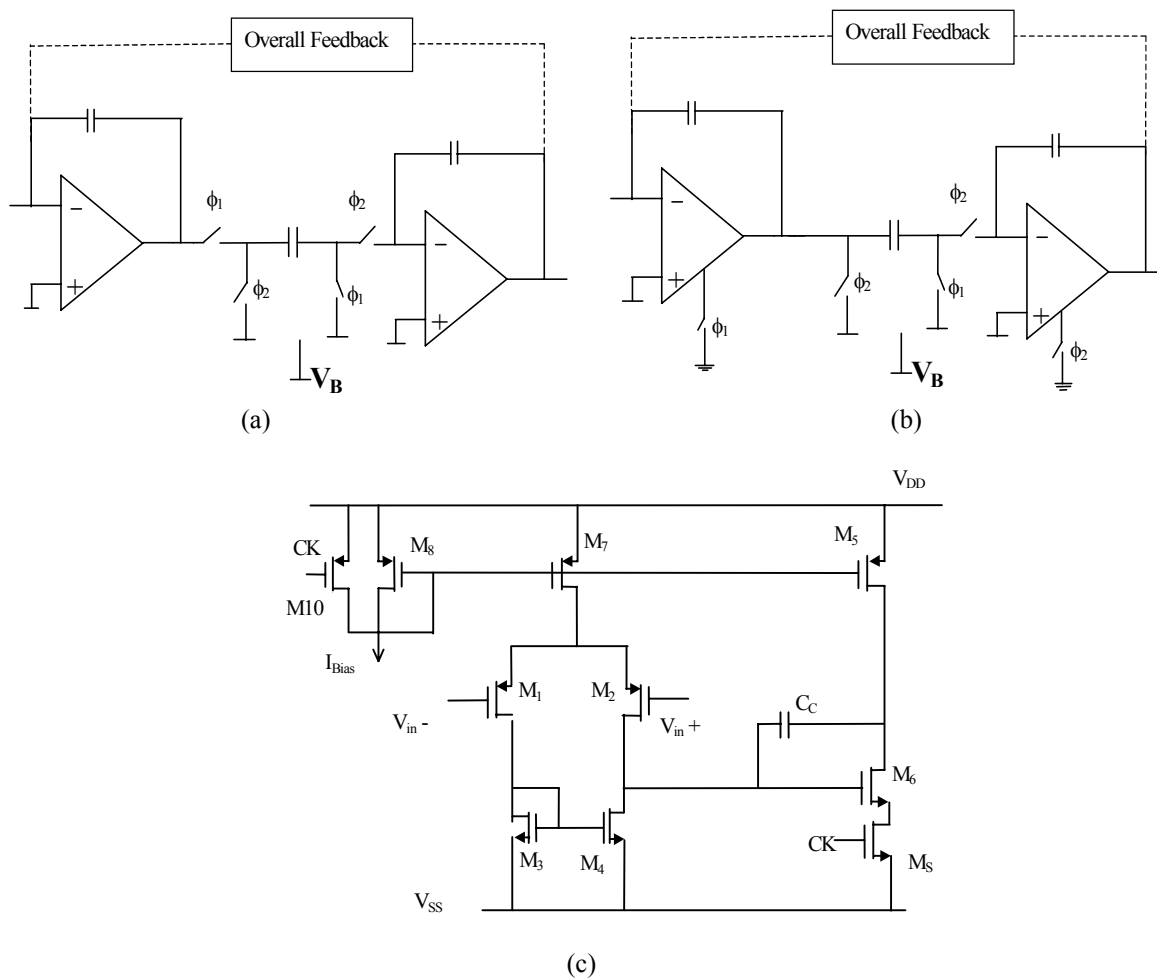


Fig. 1-5. Técnica *switched-opamp* [15].

(a) Integrador SC convencional. (b) Circuito equivalente *switched-opamp*. (c) Amp-op chaveado.

No Capítulo 2, veremos como a técnica de MOSFET chaveado resolve o problema do *gap* de condução das chaves de uma forma natural.

### 1.2.2 Amplificador operacional à baixa tensão de alimentação

O amplificador operacional é um bloco amplamente utilizado em circuitos analógicos. A tensão de alimentação deve ser superior a um certo valor para permitir a operação correta do amplificador. A Fig. 1-6 mostra um estágio de entrada convencional para amplificadores operacionais. A máxima tensão de modo comum de entrada  $V_{CM}$  é aproximadamente  $V_{DD} - (|V_{Top}| + V_{Dssat,p})$ . Esta restrição faz com que certas topologias não possam ser utilizadas com simples amp-ops à baixa tensão de alimentação. Em circuitos com MOSFET chaveado, como será visto no Capítulo 2, todos os amp-ops operam com uma tensão de modo comum de entrada muito próxima ao potencial negativo  $V_{SS}$ , o que permite que estágios de entrada convencionais, como o mostrado na Fig. 1-6, possam ser usados mesmo a baixas tensões de alimentação.

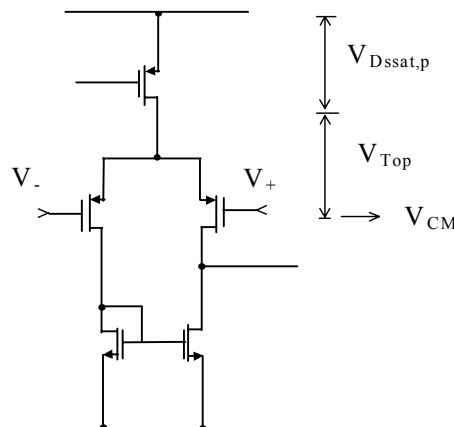


Fig. 1-6. A faixa de tensão de modo comum de entrada de um amp-op.

## 1.3 Programação

Algumas aplicações utilizam filtros programáveis, às vezes com a necessidade de operação a baixa tensão de alimentação. Circuitos de auxílio à audição (*hearing-aid circuits*) [19-22] constituem um dos exemplos de aplicação que exige filtros programáveis

LVLP. Neste caso específico, o audiolologista, ou o próprio sistema, deve ajustar a seção do filtro para tratar o espectro de áudio de acordo com o tipo de deficiência auditiva do paciente.

Circuitos SC podem ser programados através do uso de matrizes de capacitores programáveis (PCAs - *Programmable Capacitors Arrays*) [23]. Uma PCA de 3 bits é mostrada na Fig. 1-7. A mesma consiste basicamente de capacitores ponderados (peso binário) conectados em paralelo. Através de sinais digitais, o lado direito dos capacitores (na figura) é conectado ou para o nó X' ou para o terra.

Circuitos SI podem ser programados através de espelhos de corrente ponderados, conforme mostra a Fig. 1-8 [1]. O ganho do espelho é  $a = (W/L)_A / (W/L)_{REF}$ , onde  $(W/L)_A = (W/L)_{NP} + b_0(W/L)_0 + b_1(W/L)_1$ . Um problema importante que surge com esta estratégia é o erro de quantização devido às limitações impostas pela grade tecnológica [1].

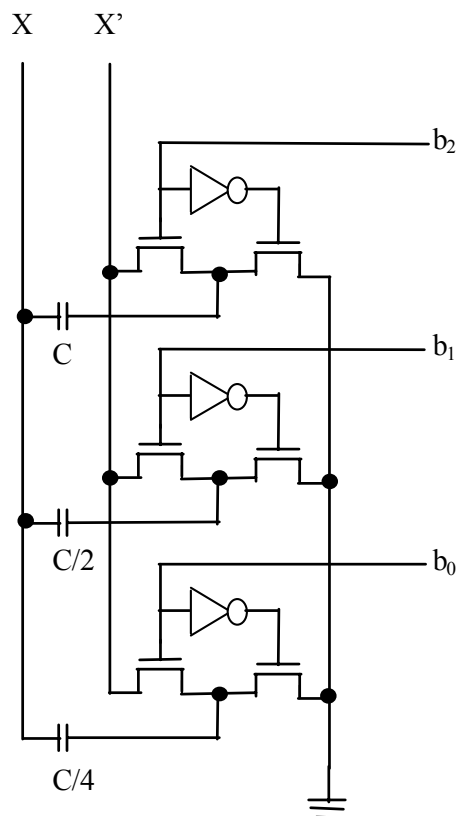


Fig. 1-7. Matriz de capacitores programável (em binário) [22].



Ambas as técnicas acima descritas para programação, utilizadas para circuitos SC e circuitos SI, apresentam a desvantagem de utilizar estruturas ponderadas, às quais necessitam de uma área de silício que cresce exponencialmente com o número de bits. Veremos no Capítulo 2 que circuitos com MOSFET chaveado podem ser programados usando os MOCDs (*MOSFET-Only Current Dividers*), os quais ocupam uma área que cresce linearmente com o número de bits de programação.

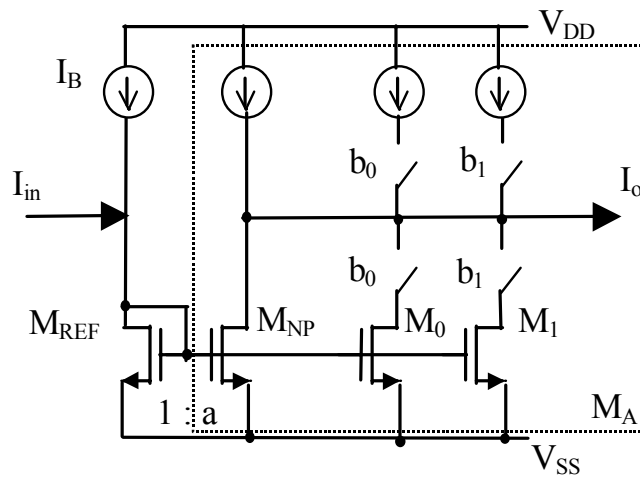


Fig. 1-8. Espelho de corrente básico programável de ganho  $a$  [1].

## 1.4 Organização do trabalho

Este trabalho foi dividido em seis capítulos. Após esta introdução, o Capítulo 2 explica o princípio da técnica de MOSFET chaveado (SM) e apresenta algumas estruturas básicas SM. No Capítulo 3, é desenvolvida uma análise matemática da estrutura elementar da técnica SM, a célula de meio atraso. Também no Capítulo 3, estratégias de compensação de *offset* são discutidas e são apresentados resultados experimentais. O Capítulo 4 foca outros aspectos práticos da técnica SM, como os conversores corrente/tensão e tensão/corrente que podem ser necessários para algumas aplicações. O Capítulo 5 descreve a implementação de várias estruturas básicas SM contidas em um

filtro passa-baixa programável de baixa tensão. Resultados experimentais são apresentados e discutidos. Finalmente, no Capítulo 6, algumas conclusões são realizadas.

## **2.1 Introdução**

Conforme explicado no capítulo anterior, as técnicas convencionais de dados amostrados, capacitor chaveado e corrente chaveada, não são “naturais” para operação em baixa tensão. Neste capítulo, a técnica de MOSFET chaveado (SM) é considerada e sua aplicabilidade em circuitos de baixa tensão é enfatizada. Inicialmente, na seção 2.2, é apresentada uma visão geral dos blocos básicos das técnicas de dados amostrados, com ênfase no bloco básico da técnica SM. A seção 2.3 descreve a geração da tensão de polarização para os circuitos SM e discute a sua influência na operação em baixa tensão. A seção 2.4 está centrada em programação de circuitos SM, com destaque para os divisores de corrente totalmente a MOSFET (MOCDs), os elementos utilizados para programação que demandam pouca área. Na seção 2.5, outras estruturas SM, tais como integradores e seções biquadráticas (biquids), são descritas. Finalmente, na seção 2.6, um sumário é apresentado.

## 2.2 Bloco básico de construção da técnica SM

Três elementos básicos têm sido utilizados para circuitos eletrônicos de dados amostrados, a saber capacitores, fontes de corrente e resistores, conforme mostrado na Fig. 2-1 [24]. O primeiro elemento é a base da bem conhecida técnica de capacitor chaveado, o segundo é usado na técnica de corrente chaveada [50] e o terceiro baseia a técnica de MOSFET chaveado.

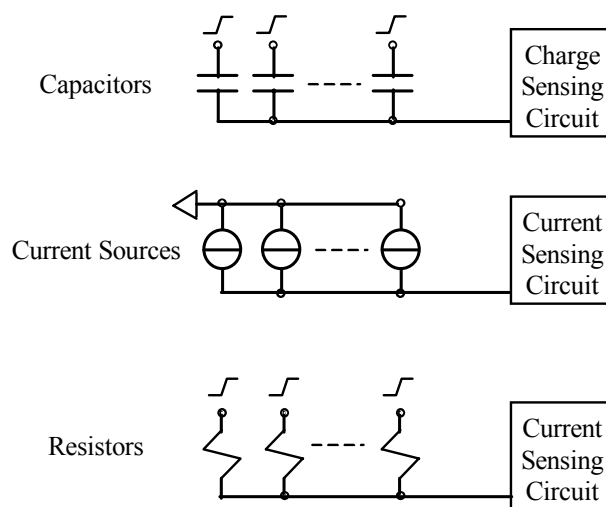


Fig. 2-1. Modos de computação analógica.

Os elementos básicos de computação analógica mostrados na Fig. 2-1 não precisam necessariamente ser lineares para a implementação prática das técnicas [25]. Considerando elementos lineares por simplicidade, os blocos básicos de construção de algumas das possíveis técnicas de dados amostrados são mostrados na Fig. 2-2. Para a técnica SC, o bloco básico de construção é um integrador, enquanto que para SI e para a técnica que usa resistores (a qual poderia neste momento ser chamada de resistor chaveado, SR), o bloco básico de construção é uma célula de meio atraso.

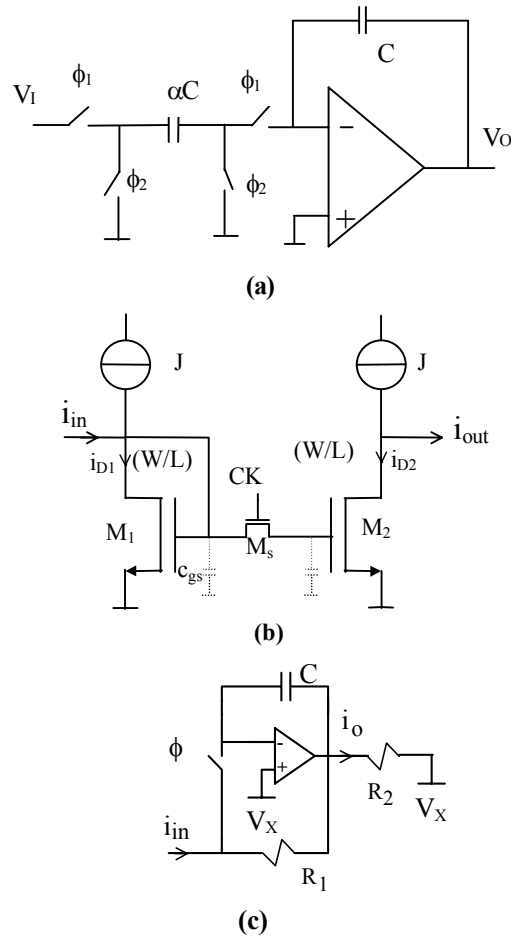


Fig. 2-2. Blocos básicos de construção para técnicas de dados amostrados. (a) SC, integrador. (b) SI, célula de meio atraso. (c) SR, célula de meio atraso.

A operação dos circuitos da Fig. 2-2 é brevemente descrita conforme segue. Na Fig. 2-2a, na fase de *clock*  $\phi_2$ , o capacitor  $C$  mantém a tensão de saída enquanto que o capacitor  $\alpha C$  é descarregado. Na próxima fase ( $\phi_1$ ), o capacitor  $\alpha C$  é carregado com  $v_I(n)$  enquanto o capacitor  $C$  se carrega com  $v_O(n)$ , o que produz uma função de transferência no domínio  $z$  de  $H(z) = \frac{v_O^{\phi_1}(z)}{v_I^{\phi_1}(z)} = -\frac{\alpha}{1 - z^{-1}}$ . Na Fig. 2-2b, o transistor  $M_1$  opera na saturação e assume-se que a tensão de saída faz com que  $M_2$  opere também na saturação. A corrente de entrada é armazenada como uma tensão sobre o capacitor de porta de  $M_1$ . Quando a chave  $M_s$  está fechada, as correntes de dreno de  $M_1$  e  $M_2$  são iguais, i.e., a corrente de saída segue a corrente de entrada (fase de amostragem). Quando a chave  $M_s$  abre, a corrente de dreno de

$M_2$  é mantida constante em seu valor anterior (fase de retenção). Na Fig. 2-2c, quando a chave está fechada, tem-se:

$$i_o = -[R_1/R_2]i_{in} \quad (2-1)$$

visto que  $R_1$  e  $R_2$  estão ambos polarizados com as mesmas tensões. A corrente de saída  $i_o$  é uma réplica invertida da corrente de entrada  $i_{in}$ . O capacitor  $C$  é carregado com uma tensão  $V$  cujo valor depende de ambos  $i_{in}$  e  $R_1$ . Quando a chave abre, a tensão  $V$  é mantida no capacitor de memória e a corrente é mantida na saída.

A principal desvantagem do circuito da Fig. 2-2c é o uso de resistores, os quais demandam muita área, especialmente em aplicações LVLP. Na verdade, conforme previamente mencionado, os elementos básicos para uma técnica de dados amostrados não precisam necessariamente ser lineares para a correta operação dos circuitos. Considere agora o circuito da Fig. 2-3. O mesmo consiste de um amplificador operacional, um capacitor de memória  $C_h$  (o qual pode ser não-linear) e dois transistores com não-linearidades casadas ( $M_1$  e  $M_2$ ) operando na região triodo. O motivo para a operação na região triodo é evidente – a corrente na região triodo é bastante sensível à tensão de dreno, enquanto que a corrente na saturação é quase insensível à tensão de dreno.

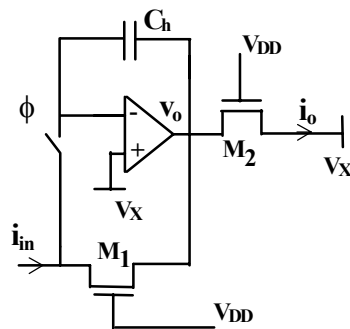


Fig. 2-3. A célula de meio atraso da técnica SM [27].

Assuma agora que o amp-op é ideal e que os transistores são casados na Fig. 2-3. Então, quando a chave está fechada, tem-se

$$i_o = -[(W/L)_{M2}/(W/L)_{M1}]i_{in} \quad (2-2)$$

já que  $M_1$  e  $M_2$  estão ambos polarizados com o mesmo conjunto de tensões. A corrente de saída  $i_o$  é, como na Fig. 2-2c, uma réplica invertida da corrente de entrada  $i_{in}$ . O capacitor  $C_h$  é carregado com uma tensão  $V$  cuja tensão depende de  $i_{in}$ , dos parâmetros do transistor  $M_1$  e da tensão de porta. Quando a chave abre, a tensão  $V$  é retida no capacitor de memória e a corrente é mantida na saída. A chave n-MOS opera a uma tensão constante igual a  $V_X$ , a qual pode ser colocada em um valor que permita tanto operação da chave dentro de sua faixa de condução como correntes máximas iguais no sentido positivo e negativo.

É importante enfatizar que a célula de meio atraso SM também permite amplificação de corrente, com o ganho determinado pelas razões de aspecto dos transistores  $M_1$  e  $M_2$ .

Apenas recentemente a técnica de dados amostrados que está sendo aqui apresentada foi chamada de “Técnica de MOSFET chaveado”. Em artigos mais antigos a mesma havia sido chamada de “Uma técnica de corrente chaveada para aplicações à baixa tensão” [26-30]. O novo nome (SM) descreve de forma mais apropriada a técnica com a qual se está lidando e ainda evita que SM seja confundida com a técnica de corrente chaveada convencional.

### 2.3 Geração da tensão de polarização para circuitos SM

Na técnica SM, todas as chaves n-MOS operam a uma tensão constante igual a  $V_X$ , a qual é gerada pela associação série de dois transistores iguais, conforme pode ser visto na Fig. 2-4b [9, 31]. Para facilitar o entendimento do circuito da Fig. 2-4b, é melhor examinar primeiro o comportamento do divisor linear da Fig. 2-4a, onde fica claro que  $V_{X\_lin} = V_{DD}/2$ . Esta tensão,  $V_{DD}/2$ , permite a máxima excursão de corrente em ambos sentidos,

positivo e negativo, em um circuito como o da Fig. 2-2c, assumindo-se o amp-op como sendo *rail-to-rail* na saída. Na Fig.2-4b, a corrente é a mesma nos transistores (idênticos); assim, a aplicação de  $V_{X\_non-lin}$ , obtido do divisor de tensão da Fig. 2-4b, à entrada inversora do amplificador operacional permite a excursão simétrica máxima de corrente em um circuito como o da Fig. 2-3.

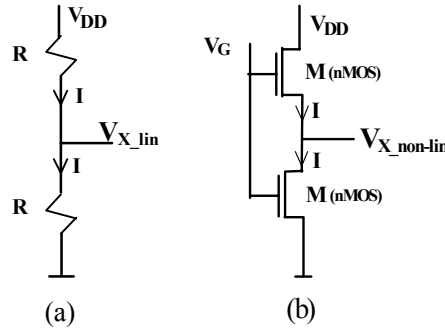


Fig. 2-4. Geração de  $V_X$  para excursão simétrica máxima de corrente.

Considere a corrente de dreno em inversão forte [8, 51]:

$$i_D = \frac{\mu_n C'_{ox} (W/L)n}{2} \left[ (V_P - v_S)^2 - (V_P - v_D)^2 \right] \quad (2-3)$$

onde  $v_S$ ,  $v_D$  são as tensões de fonte e dreno referenciadas ao substrato,  $V_P$  é a tensão de *pinch-off* [8],  $\mu_n$  é a mobilidade do elétron,  $C'_{ox}$  é a capacitância do óxido por unidade de área e  $W/L$  é a razão de aspecto. A Fig. 2-5 ilustra a corrente em um transistor n-MOS para  $V_S = V_{X\_non-lin}$ . Como pode ser visto pela Fig. 2-5, a tensão  $V_{X\_non-lin}$  está muito mais próxima do potencial negativo de alimentação (*ground*) do que do positivo ( $V_{DD}$ ). Na inversão forte, a tensão  $V_{X\_non-lin}$  é dada [31] por:

$$V_{X\_non-lin} = V_P \left( 1 - 1/\sqrt{2} \right) \quad (2-4)$$

A máxima corrente bidirecional em um transistor é obtida em dois casos: com  $v_S = 0V$  e  $v_D = V_{X\_non-lin}$  (neste caso,  $-I_{max}$ ); ou com  $v_D = V_P$  e  $v_S = V_{X\_non-lin}$  (neste caso,  $+I_{max}$ ). Esta corrente, ilustrada na Fig. 2-5, é dada por



$$I_{max} = \frac{\mu_n C'_{ox} (W/L)n}{4} V_P^2 \quad (2-5)$$

A tensão  $V_{X\_non-lin}$  (de agora em diante chamada somente de  $V_X$ ) provida pelo circuito da Fig. 2-4b não somente permite a maior excursão de corrente em ambas direções como também garante que a chave n-MOS é operada dentro da sua faixa de condução. Todas as chaves em circuitos SM operam com tensão  $V_X$ , e todos os amp-ops têm  $V_X$  como tensão de entrada de modo comum. Estes fatores fazem de SM uma técnica adequada para operação à baixa tensão de alimentação.

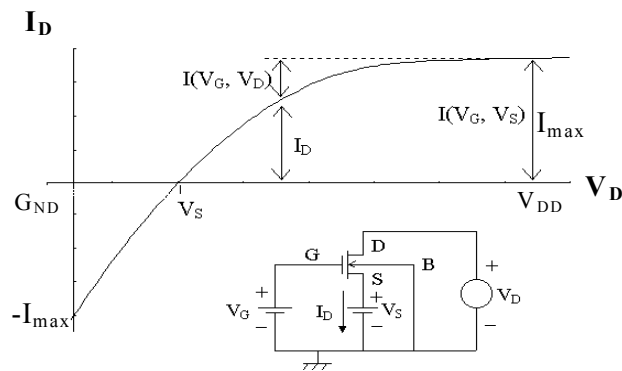


Fig. 2-5. Corrente em um transistor MOS tendo  $V_S = V_{X\_non-lin}$ .

## 2.4 Programação e o MOCD

Na técnica SM, a programação digital é efetuada com o uso de MOCDs, os divisores de corrente inteiramente com MOSFETs [32]. O diagrama esquemático de um MOCD e o seu símbolo são mostrados na Fig. 2-6. Todos os transistores do MOCD têm mesmos comprimento e largura e um substrato comum ligado ao potencial negativo da alimentação. A corrente de saída do MOCD é uma fração controlada 'a' da corrente de entrada, de acordo com

$$a = \sum_{i=0}^{M-1} b_i 2^{(i-M)} \quad (2-6)$$

onde  $M$  é o número de bits do MOCD e  $b_i = 0$  ou  $1$ ,  $b_0$  é o bit menos significativo (LSB) e  $b_{M-1}$  é o bit mais significativo (MSB) .

O MOCD tem uma impedância de entrada que é independente de ambos a palavra digital e o número de bits, fornecendo assim uma impedância de carga constante para os amp-ops. Sem o uso de técnicas de *trimming*, os MOCDs atingem facilmente resolução de 6 bits, o que é suficiente para algumas aplicações [33]. A alta linearidade dos MOCDs tem mostrado-se adequada para processamento analógico de sinais [32].

Na célula de meio atraso SM da Fig. 2-3, o ganho de corrente, dado por (2-2), pode ser controlado com o uso de um MOCD no lugar de  $M_1$  ou de  $M_2$ .

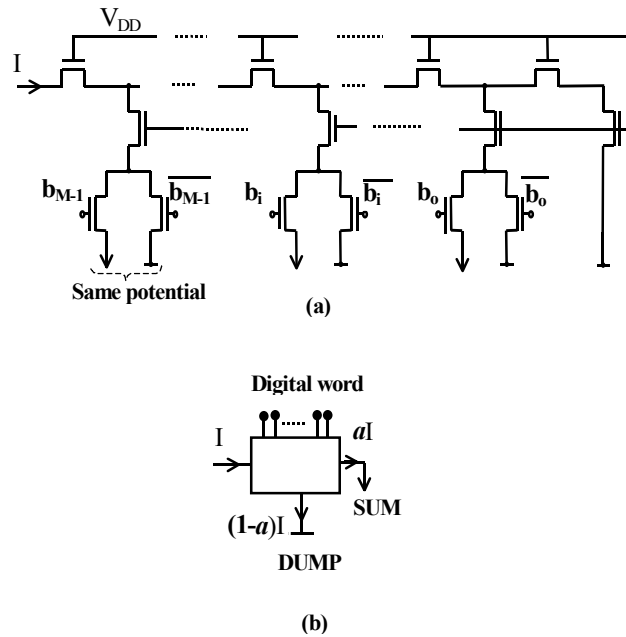


Fig. 2-6. O divisor de corrente inteiramente com MOSFETs, MOCD.  
(a) Esquemático. (b) Símbolo.

## 2.5 Outras estruturas SM

Além da célula de meio atraso, outros blocos básicos da técnica SM são os integradores de primeira e de segunda geração. Outras estruturas muito úteis são as seções biquadráticas, as quais podem realizar diferentes funções de filtragem. Estas estruturas são consideradas nesta seção.

### 2.5.1 Integrador de primeira geração

O integrador SM de primeira geração é implementado utilizando-se duas células de atraso, conforme mostrado na Fig. 2-7 [27].

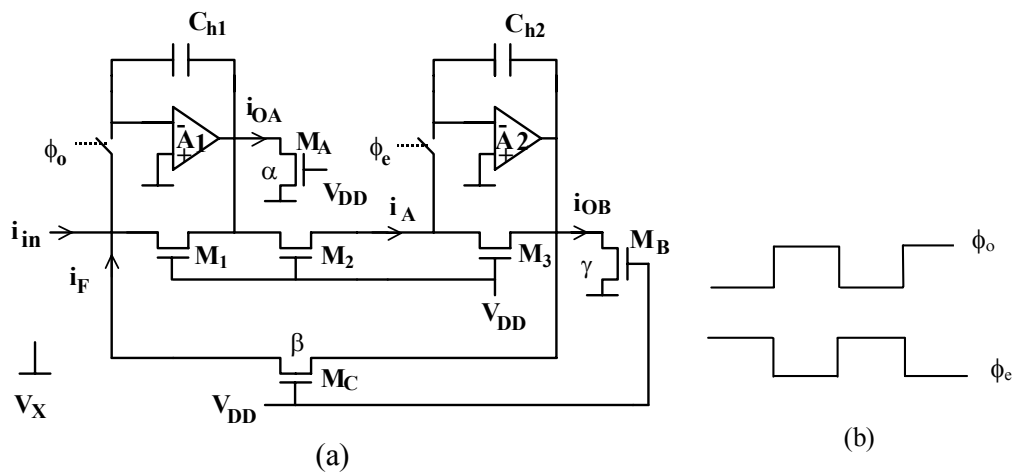


Fig. 2-7. Integrador SM de primeira geração.  
(a) Circuito. (b) Seqüência de clock.

A operação do integrador é a seguinte: durante  $\phi_o$ , a soma das correntes de entrada ( $i_{in}$ ) e de realimentação ( $i_F$ ) é armazenada na 1ª célula de meio atraso na forma de uma tensão equivalente em  $C_{h1}$ ; durante  $\phi_e$ , a corrente de entrada para a 2ª célula ( $i_A$ ) é armazenada como uma tensão equivalente em  $C_{h2}$ . Assumindo-se  $M_1$ ,  $M_2$  e  $M_3$  com as mesmas razões de aspecto, o integrador apresenta em suas saídas as funções de transferência [27]:

$$\frac{I_{OA}^{\phi_o}(z)}{I_{IN}^{\phi_o}(z)} = -\alpha \frac{1}{1 - \beta z^{-1}} \quad (2-7a)$$

$$\frac{I_{OB}^{\phi_o}(z)}{I_{IN}^{\phi_o}(z)} = \gamma \frac{z^{-1}}{1 - \beta z^{-1}} \quad (2-7b)$$

onde  $\alpha = (W/L)_{MA}/(W/L)_{M1}$ ,  $\beta = (W/L)_{MC}/(W/L)_{M3}$  e  $\gamma = (W/L)_{MB}/(W/L)_{M3}$ . Os parâmetros  $\alpha$ ,  $\beta$  e  $\gamma$  podem ser implementados com MOCDs nos lugares de  $M_A$ ,  $M_C$ , e  $M_B$ , respectivamente, resultando em um integrador programável digitalmente. Como na célula de meio atraso, as chaves no integrador operam à tensão constante.

Um integrador universal pode ser obtido facilmente com algumas modificações. A Fig. 2-8 mostra tal circuito [34]. A Tabela 2-1 mostra o conjunto completo de funções de transferência para o integrador universal de primeira geração. Note que integradores sem perda e inversores analógicos são obtidos com  $\beta = 1$ .

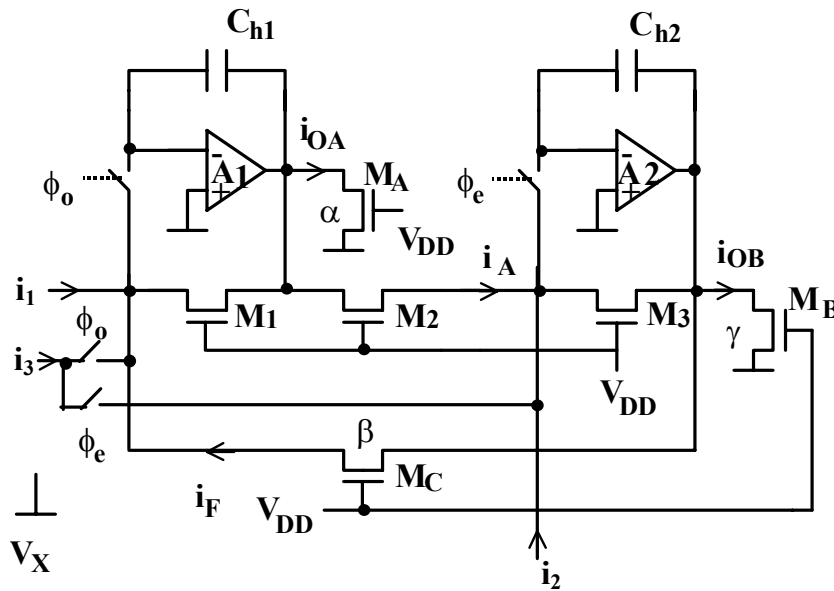


Fig. 2-8. Integrador universal SM de primeira geração.

Tabela 2-1. Funções de transferência para o integrador SM universal de primeira geração.

	$I_1^{\phi_o}$	$I_2^{\phi_e}$	$I_3$	
			$S^o/H^{e-1}$	$S^e/H^{o-2}$
$I_{OA}^{\phi_o}$	$-\alpha \frac{1}{1-\beta z^{-1}}$	$\alpha \frac{z^{-1/2}}{1-\beta z^{-1}}$	$-\alpha \frac{1-z^{-1}}{1-\beta z^{-1}} z^{-1/2}$	0
$I_{OA}^{\phi_e}$	$-\alpha \frac{z^{-1/2}}{1-\beta z^{-1}}$	$\alpha \frac{z^{-1}}{1-\beta z^{-1}}$	$-\alpha \frac{1-z^{-1}}{1-\beta z^{-1}} 0$	0
$I_{OB}^{\phi_o}$	$\gamma \frac{z^{-1}}{1-\beta z^{-1}}$	$-\gamma \frac{z^{-1/2}}{1-\beta z^{-1}}$	0	$-\gamma \frac{1-z^{-1}}{1-\beta z^{-1}}$
$I_{OB}^{\phi_e}$	$\gamma \frac{z^{-1/2}}{1-\beta z^{-1}}$	$-\gamma \frac{1}{1-\beta z^{-1}}$	0	$-\gamma \frac{1-z^{-1}}{1-\beta z^{-1}} z^{-1/2}$

1. Um sinal  $S^o/H^e$  é amostrado em  $\phi_o$  e mantido constante em  $\phi_e$ .
2. Um sinal  $S^e/H^o$  é amostrado em  $\phi_e$  e mantido constante em  $\phi_o$ .

### 2.5.2 Integrador de segunda geração

A implementação de filtros de alto  $Q$  [1] é extremamente difícil com o integrador de primeira geração. A razão para esta dificuldade está no fato de que filtros de alto  $Q$  exigem integradores sem perda ou com pouca perda. Como pode ser observado na expressão (2-7), integradores sem perda requerem  $\beta$  perto de 1. Tal valor preciso de  $\beta$  depende de um casamento preciso entre transistores. Por outro lado, o integrador de segunda geração mostrado na Fig. 2-9 [28] soluciona este problema visto que a sensibilidade do pólo de integradores de baixa perda ao  $\beta$  não é tão crítica como no integrador de primeira geração.

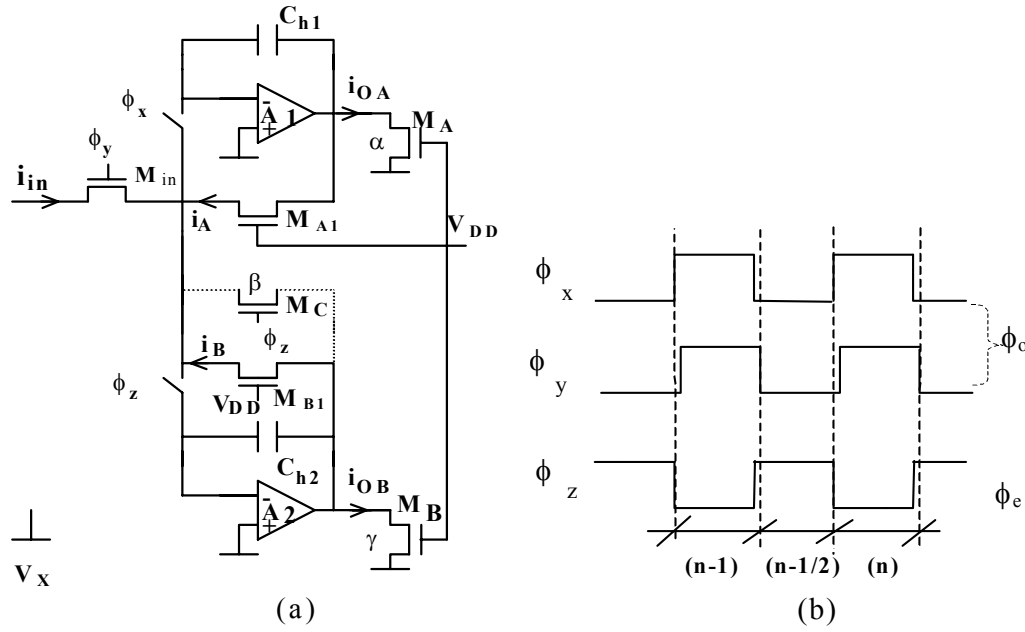


Fig. 2-9. Integrador SM de segunda geração.  
(a) Circuito. (b) Seqüência de clock.

Na Fig. 2-9, assumindo-se que os transistores  $M_{A1}$  e  $M_{B1}$  tenham as mesmas razões de aspecto, o integrador SM de segunda geração apresenta as seguintes funções de transferência [28]:

$$\frac{I_{OA}^{\phi_o}(z)}{I_{in}^{\phi_o}(z)} = -\alpha \frac{1}{1 + \beta - z^{-1}} \quad (2-8a)$$

$$\frac{I_{OB}^{\phi_o}(z)}{I_{in}^{\phi_o}(z)} = \gamma \frac{z^{-1}}{1 + \beta - z^{-1}} \quad (2-8b)$$

onde  $\alpha = (W/L)_{MA1}/(W/L)_{MA1}$ ,  $\beta = (W/L)_{MC}/(W/L)_{MB1}$  e  $\gamma = (W/L)_{MB}/(W/L)_{MB1}$ . Como no integrador de primeira geração, os parâmetros  $\alpha$ ,  $\beta$  e  $\gamma$  podem ser implementados com MOCDs. Note por (2-8) que um integrador sem perdas é realizado com a simples desconexão de  $M_C$  na Fig. 2-9.

O uso de 3 sinais de *clock* é necessário para evitar perda de informação em uma implementação prática. Um integrador universal pode ser obtido com poucas modificações,

conforme pode ser visto na Fig. 2-10. A seqüência de *clock* é a mesma que para o circuito da Fig. 2-9. As funções de transferência para o integrador de segunda geração da Fig. 2-10 estão expressas na Tabela 2-2.

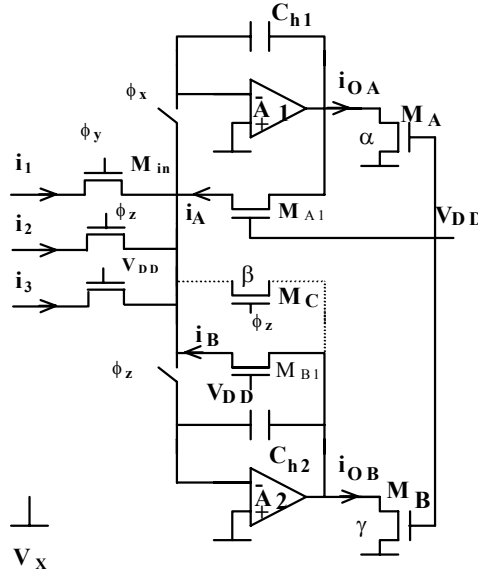


Fig. 2-10. Integrador universal SM de segunda geração.

Tabela 2-2. Funções de transferência para o integrador SM universal de segunda geração.

	$I_1^{\phi_o}$	$I_2^{\phi_e}$	$I_3$	
			$S^o/H^{e-1}$	$S^e/H^{o-2}$
$I_{OA}^{\phi_o}$	$-\alpha \frac{1+\beta}{1+\beta-z^{-1}}$	$\alpha \frac{z^{-1/2}}{1+\beta-z^{-1}}$	$-\alpha \frac{1-\beta-z^{-1}}{1+\beta-z^{-1}}$	$\alpha \frac{z^{-1/2}}{1+\beta-z^{-1}}(-\beta)$
$I_{OA}^{\phi_e}$	$-\alpha \frac{1+\beta}{1+\beta-z^{-1}} z^{-1/2}$	$\alpha \frac{z^{-1}}{1+\beta-z^{-1}}$	$-\alpha \frac{1-\beta-z^{-1}}{1+\beta-z^{-1}} z^{-1/2}$	$\alpha \frac{z^{-1}}{1+\beta-z^{-1}}(-\beta)$
$I_{OB}^{\phi_o}$	$\gamma \frac{z^{-1}}{1+\beta-z^{-1}}$	$-\gamma \frac{z^{-1/2}}{1+\beta-z^{-1}}$	0	$-\gamma \frac{z^{-1/2}}{1+\beta-z^{-1}}(1-z^{-1})$
$I_{OB}^{\phi_e}$	$\gamma \frac{z^{-1/2}}{1+\beta-z^{-1}}$	$-\gamma \frac{1}{1+\beta-z^{-1}}$	0	$-\gamma \frac{1}{1+\beta-z^{-1}}(1-z^{-1})$

1. Um sinal  $S^o/H^e$  é amostrado em  $\phi_o$  e mantido constante em  $\phi_e$ .
2. Um sinal  $S^e/H^o$  é amostrado em  $\phi_e$  e mantido constante em  $\phi_o$ .

### 2.5.3 Biquad universal SM

Usando-se um integrador inversor e um não-inversor, um filtro de segunda ordem (biquad) pode ser construído. A biquad mostrada na Fig. 2-11 [28] utiliza dois integradores SM de segunda geração e foi projetada utilizando-se a transformação *backward* LDI [35]. Esta transformação leva a menores erros de *prewarping* de frequência do que as transformações Euler. Na Fig. 2-11, a entrada 1 é a entrada passa-baixa, a entrada 2 é a entrada passa-faixa e a entrada 3 é a passa-alta, sendo então o circuito considerado uma biquadrática universal. A relação saída/entrada para a biquadrática é:

$$I_o^{\phi_e}(z) = -\frac{K_3.I_3^{\phi_e}.(1-z^{-1})^2 + K_2.I_2^{\phi_e}.a.f.(1-z^{-1})z^{-1} + K_1.I_1^{\phi_e}.az^{-1}}{1-(2-a.f-a^2)z^{-1}+(1-af)z^{-2}} \quad (2-9)$$

Em (2-9), as correntes de entrada  $I_2$  e  $I_3$  são na verdade amostradas em  $\phi_e$  e mantidas constantes em  $\phi_o$ , o que significa que um S/H deve ser colocado antes destas entradas.

Na biquadrática da Fig. 2-11, a programação pode também ser efetuada por MOCDs. O termo “ $\phi.x$ ” significa que a palavra digital “x” está *ANDing* com o *clock* para implementar o chaveamento do MOCD. A frequência central ( $\omega_o$ ) e o fator de qualidade ( $Q$ ) podem ser controlados independentemente se a frequência de amostragem for muito maior que a frequência central. Neste caso:

$$\omega_o T \cong a \quad (2-10a)$$

onde  $T$  é o período de amostragem. Também

$$Q \cong I/f \quad (2-10b)$$



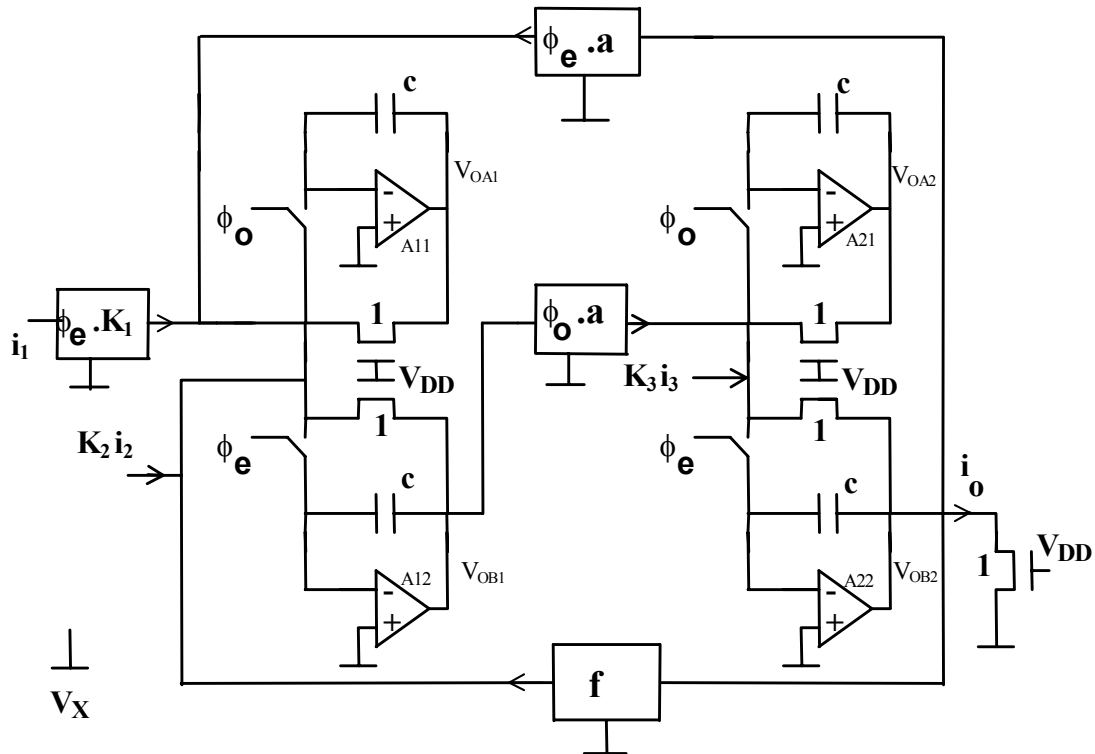


Fig. 2-11. Biquadrática universal SM.

## 2.6 Sumário

A técnica de MOSFET chaveado é uma técnica alternativa para processamento analógico de tempo discreto à baixa tensão de alimentação, sem a necessidade de uso de um processo especial. Todas as chaves nas estruturas SM operam à tensão constante. Portanto, o “gap” de condução das chaves é evitado. A tensão de modo comum de entrada de todos os amplificadores operacionais em circuitos SM é próxima do potencial negativo de alimentação; portanto, mesmo estágios de entrada bastante simples são permitidos para os amplificadores operacionais. Não há necessidade de capacitores lineares. Desta forma, para operação à baixa tensão de alimentação a técnica SM apresenta vantagens em relação às técnicas tradicionais SC e SI. A técnica de MOSFET chaveado também caracteriza-se

pela simplicidade de programação. Assim, a técnica SM pode ser muito útil em aplicações onde filtros programáveis de baixa tensão são necessários.

# *Análise da célula de meio atraso* 3

## **3.1 Introdução**

A célula de meio atraso é o bloco básico de construção da técnica de MOSFET chaveado. Portanto, é importante realizar uma análise detalhada da célula de meio atraso e estabelecer uma formalização que permita definir os limites da técnica SM e compará-la com outras técnicas. Neste capítulo, tal análise é desenvolvida. Na seção 3.2, os problemas devidos à tensão de *offset* do amplificador operacional são considerados e esquemas que compensação de *offset* são propostos. A seção 3.3 está centrada em considerações relativas ao tempo de estabelecimento (*settling time*), as quais são importantes para a determinação dos valores máximos de capacitores que podem ser usados. O ruído na célula de meio atraso é analisado na seção 3.4. São considerados ambos o ruído de banda larga (*broadband noise*) e o ruído amostrado-e-retido (*sampled-and-held noise*). Injeção de carga e *offset* residual são tratados na seção 3.5. A seção 3.6 enfoca as imperfeições que contribuem para distorção harmônica. Em todas estas seções exemplos numéricos são dados, para uma dada tecnologia. Na seção 3.7, a implementação de uma célula de meio atraso SM em tecnologia 0,35 $\mu$ m da Austria Micro Systems (AMS) é descrita e resultados experimentais são apresentados. Finalmente, na seção 3.8, um sumário é apresentado.

### 3.2 Efeitos da tensão de *offset* do amp-op e compensação de *offset*

Considere o espelho de corrente na Fig. 3-1, o qual é a célula de meio atraso SM sem amostragem. A tensão de *offset*  $V_{OS}$  do amplificador operacional gera um erro DC  $\Delta i_O$  na corrente de saída [27] dado por

$$\frac{\Delta i_O}{I_{max}} = 2\sqrt{2} \frac{V_{OS}}{V_P} \quad (3-1)$$

onde  $I_{max}$  é dado por (2-5),  $M_1 \equiv M_2$ . Em (3-1), o ganho do amp-op é considerado infinito.

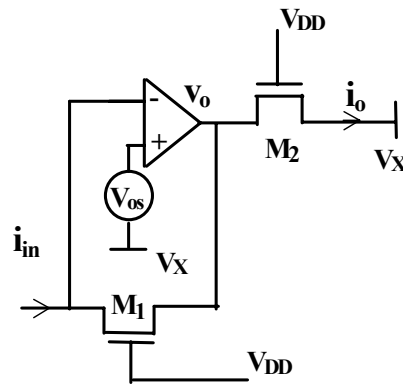


Fig. 3-1. Espelho de corrente de baixa tensão [27].

A célula de meio atraso SM é um espelho de corrente amostrado (S/H), como mostrado na Fig. 3-2. No circuito S/H, o erro na corrente de saída é também proporcional à tensão de *offset* do amp-op. Para o circuito da Fig. 3-2, considerando-se transistores idênticos:

$$i_o(n+1) = \frac{-i_{in}(n+1/2)}{1+A^{-1}} + \left( \frac{V_{OS}}{1+A^{-1}} - A^{-1}V_X \right) \frac{1}{R} \quad (3-2)$$

onde  $R = (\partial I_D / \partial V_S)^{-1} \Big|_{V_S=V_D=V_X} = \left[ \frac{\sqrt{2}}{2} \mu_n C_{ox} (W/L) (V_{DD} - V_{T0}) \right]^{-1}$  e  $A$  é o ganho DC de malha aberta do amp-op.

Este erro irá afetar a faixa dinâmica dos circuitos. Assim, em algumas aplicações, será necessário superar este problema através do uso de técnicas de compensação de *offset*.

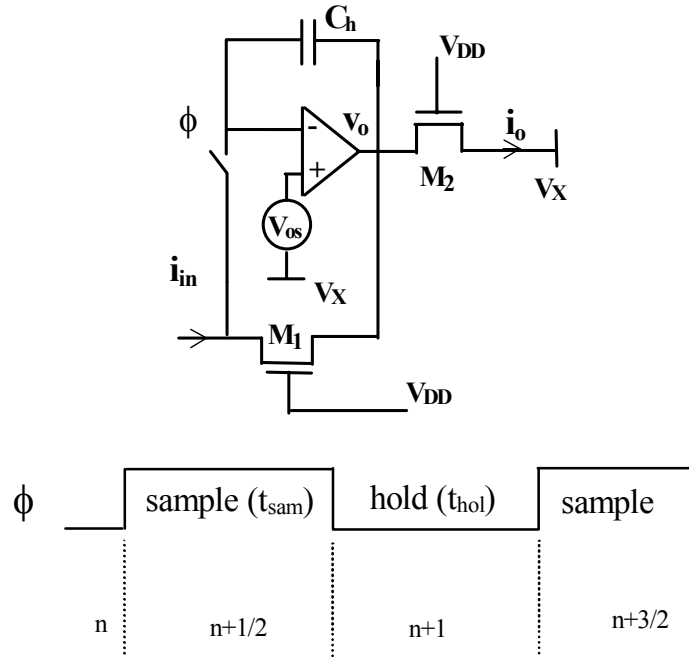


Fig. 3-2. A célula básica de meio atraso da técnica de MOSFET chaveado [27].

### 3.2.1 Correlated double-sampling em circuitos SM

O circuito de compensação de *offset* sugerido em [30] é mostrado na Fig. 3-3. O mesmo é baseado no circuito de *correlated double-sampling* (CDS) proposto por Nagaraj et al para circuitos a capacitor chaveado [36].

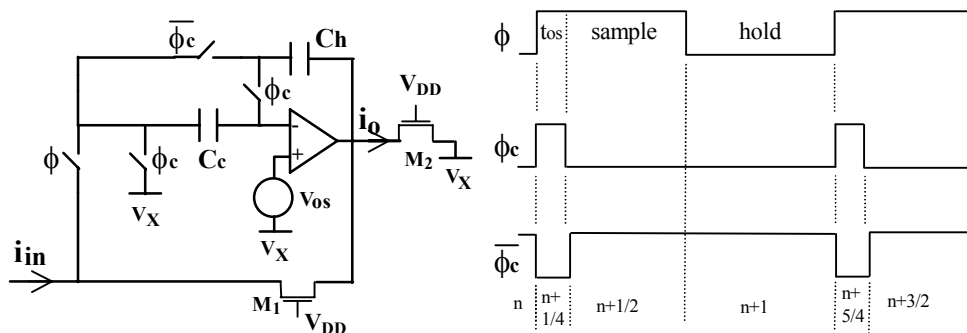


Fig. 3-3. Célula de meio atraso SM com CDS para compensação de *offset*.

A operação do circuito é a seguinte. Quando  $\phi_c$  está alto, a tensão de *offset* é armazenada em  $C_c$ . Conseqüentemente, quando  $\phi_c$  está baixo o *offset* aparece como um sinal de entrada e o seu efeito na saída é idealmente cancelado. Para o circuito na Fig. 3-3 (transistores iguais):

$$i_o(n+1) \cong -\frac{i_{in}(n+1/2)}{1+A^{-1}} + \frac{A^{-1}V_{OS}}{(1+A^{-1})^2} \frac{1}{R} - \frac{A^{-1}i_{in}(n-1/2)}{1+(2+K_c)A^{-1}} \quad (3-3)$$

onde  $K_c \equiv (C_c/C_h)$ .

Comparando-se (3-3) com (3-2) nota-se que o circuito de compensação de *offset* da Fig. 3-3 não somente atenua  $V_{OS}$  pelo ganho DC do amplificador operacional mas também elimina o efeito de  $V_X$  na saída. Como desvantagem, há um termo (o mais à direita em (3-3)) que depende da amostra anterior. Todavia, tal termo é atenuado pelo ganho DC do amp-op e, em muitos casos, não é significativo.

Uma seqüência de amostragem apropriada é fundamental para a operação correta do circuito da Fig. 3-3. Se  $\phi_c$  fechar antes de  $\overline{\phi_c}$  abrir, uma fração da carga armazenada em  $C_c$  pode ser perdida.

Os resultados mostrados em (3-3) são similares àqueles obtidos por esquemas de correção de *offset* para circuitos SC [36].

### 3.2.2 Auto-zero na célula de meio atraso SM

Nós propomos a estrutura de auto-zero (AZ) mostrada na Fig. 3-4 para compensação de *offset*. Nesta estrutura, o capacitor de retenção ( $C_h$ ) não necessita de qualquer amostragem durante AZ. Como resultado disto, esta estrutura de AZ apresenta menos problemas com injeção de carga e menor distorção do que a estrutura com CDS da Fig. 3-3. Contudo, para evitar *glitches*, um esquema de *clock* mais complicado é necessário. Tal



onde  $K_a \equiv (C_{AZ}/C_h)$  e  $R = (\partial I_D / \partial V_S)^{-1} \Big|_{V_S=V_D=V_x} = \left[ \frac{\sqrt{2}}{2} \mu_n C'_{ox} (W/L) (V_{DD} - V_{T0}) \right]^{-1}$ .

A expressão (3-4) é idêntica a (3-3), i. e., a compensação de *offset* atingida com o circuito de AZ proposto é a mesma que para o circuito com CDS. Nós iremos nos concentrar, nos próximos capítulos e seções, no circuito com auto-zero.

### Tempo para realizar AZ

Durante consecutivos intervalos de AZ, carga é injetada no capacitor de auto-zero ( $C_{AZ}$ ). Assim, um certo tempo é necessário para recarregar  $C_{AZ}$  com  $V_{OS}$ . A Fig. 3-6 mostra o circuito equivalente de pequenos sinais para o circuito da Fig. 3-4 durante  $t_{az}$ .

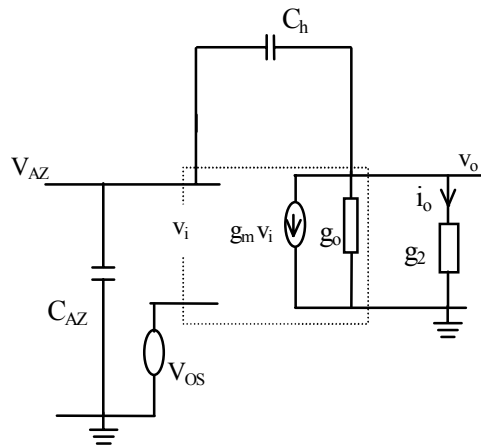


Fig. 3-6. Circuito equivalente de pequenos sinais para a determinação de  $t_{az}$ .

Considerando-se para o amp-op uma transcondutância finita representada por uma função de pólo simples, isto é,  $g_m = g_m(s) = \frac{g_{mo}}{1 + s/\omega_1}$ , onde  $\omega_1$  é o pólo dominante do amplificador com carga, tem-se (Apêndice A):

$$t_{az} \geq \frac{(1 + K_a)g_L}{g_{mo}\omega_1} \ln(1/|\gamma|) = \frac{(1 + K_a)}{\omega_u} \ln(1/|\gamma|) \quad (3-5)$$



onde  $\gamma$  é o erro admitido na tensão sobre  $C_{AZ}$ ,  $\omega_u$  é a frequência de ganho unitário de malha aberta do amp-op com carga,  $K_a \equiv C_{AZ}/C_h$  e  $g_L = g_o + g_2$ .  $g_2$  é a condutância dreno-fonte do transistor  $M_2$ , a qual em inversão forte é dada [31] por:

$$g_{ms(d)} = \mu_n n C'_{ox} (W/L) (V_P - v_{S(D)}). \quad (3-6)$$

Em SM, para sinal de entrada zero tem-se  $v_S = v_D = V_X = (1 - 1/\sqrt{2})V_P$ . Então, (3-6) pode ser reescrita como:

$$g_{ms} = \mu_n n C'_{ox} \frac{W}{L} \frac{V_P}{\sqrt{2}}. \quad (3-6a)$$

O resultado em (3-5) significa que o tempo para auto-zero não depende de  $C_{AZ}$ , mas da razão  $K_a \equiv C_{AZ}/C_h$  e também da largura de banda do amp-op (GBW).

Como exemplo, usando-se a tecnologia CXE (0,8 $\mu$ m) da AMS,  $C_{AZ} = C_h = 5$ pF, transistores com  $(W/L)=10\mu\text{m}/20\mu\text{m}$  e tensão de alimentação de 1,5V, o amp-op projetado para uso no primeiro *chip* (Capítulo 5) apresenta  $\omega_u = 2\pi.700\text{kHz}$ . Assim, tem-se  $t_{az} \geq (0,45\mu\text{s}) \ln(1/|\gamma|)$ . Para um erro de 8 bits ( $\gamma=0,004$ ),  $t_{az} \geq 2,5\mu\text{s}$ . É importante notar que (3-5) é baseada em uma aproximação de pior caso (Apêndice A). Então, este valor para  $t_{az}$  de 2,5 $\mu$ s pode ser considerado um limite superior.

### Geração de *clock* para o circuito de AZ

Muito embora o circuito de AZ utilize um *clock* um pouco mais complicado que o circuito de CDS, um gerador de *clock* para o circuito de AZ pode ser obtido com um circuito tão simples como o mostrado na Fig. 3-7. Para obtenção dos sinais de *clock*  $\phi_{c2}$ ,  $\phi_{cn}$  e  $\phi_{c1}$  (Fig. 3-5) com  $t_{az}$  de cerca de 1/8 do período de amostragem, é necessário um sinal de

Fig. 3-7. Gerador de clock para o circuito de AZ.

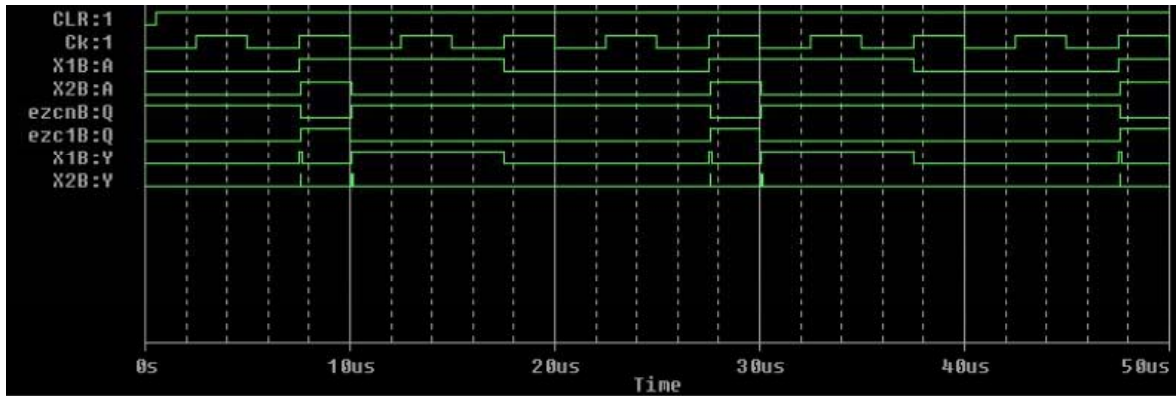


Fig. 3-8. Sinais para o circuito da Fig. 3-7.

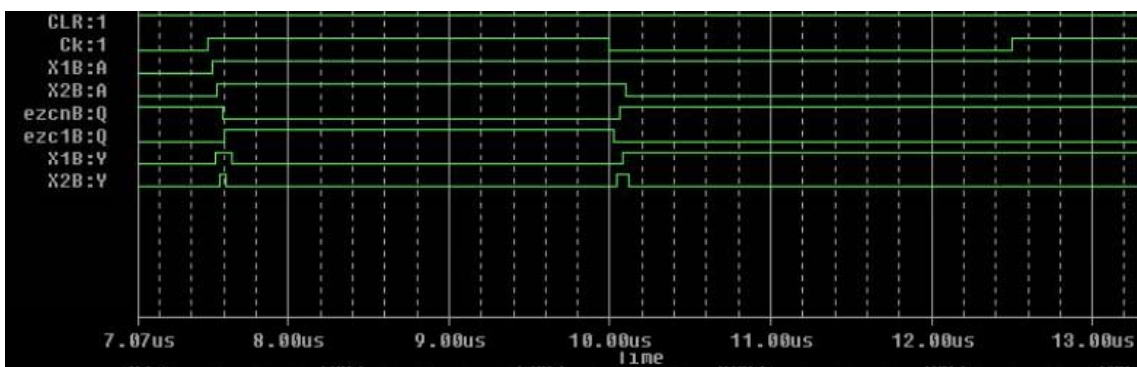
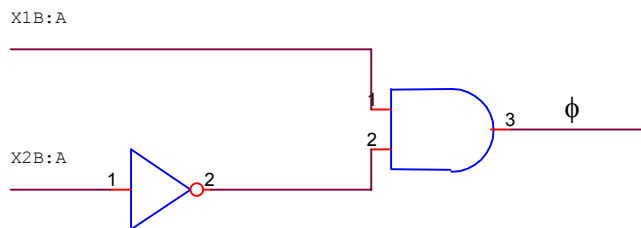


Fig. 3-9. Sinais para o circuito da Fig. 3-7 - detalhe.

Fig. 3-10. Circuito para a obtenção do sinal  $\phi$ .

### 3.2.3 Comparação entre as células de meio atraso com e sem compensação de *offset*

Analiticamente, a diferença entre os circuitos sem compensação de *offset* (Fig. 3-2) e com compensação de *offset* (Fig. 3-3, CDS e Fig. 3-4, AZ) está expressa nas equações (3-2) a (3-4). Para mostrar alguns detalhes, alguns resultados de simulação são agora

apresentados. Para as simulações, foi utilizado o simulador SMASH em conjunto com o modelo BSIM 3v3 para a tecnologia CXE (0,8 $\mu$ m) da AMS. Os circuitos das Fig. 3-2, Fig. 3-3 e Fig. 3-4 foram simulados em três casos diferentes: (i) nenhum *offset* no amplificador operacional; (ii) *offset* de +10mV no amplificador operacional; e (iii) *offset* de -10mV no amplificador operacional. Para os três circuitos,  $C_C = C_{AZ} = C_h = 5$ pF. Os transistores têm  $(W/L)=10\mu\text{m}/40\mu\text{m}$  e as chaves são de tamanho mínimo, i. e.,  $(W/L)=0,8\mu\text{m}/0,8\mu\text{m}$ . A tensão de alimentação é 1,5V e o amp-op apresenta uma frequência de ganho unitário de 1MHz e um ganho de tensão DC de malha aberta de 64dB (com carga de um transistor 10 $\mu\text{m}/40\mu\text{m}$ ).

A Tabela 3-1 resume os resultados obtidos. Na Tabela 3-1,  $I_{M2a}$ ,  $I_{M2b}$ , e  $I_{M2c}$  são as correntes nos circuitos das Fig. 3-2 (sem compensação de *offset*), Fig. 3-3 (CDS), e Fig. 3-4 (AZ), respectivamente.

Tabela 3-1. Simulações das correntes de *offset* nos circuitos das Fig. 3-2, Fig. 3-3 e Fig. 3-4.

<b>Offset amp-op</b>	<b><math>I_{M2a}</math> (sem comp. <i>offset</i>)</b>	<b><math>I_{M2b}</math> (CDS)</b>	<b><math>I_{M2c}</math> (AZ)</b>
0	1nA	2,8nA	-0,8nA
+10mV	156nA	23nA	0,3nA
-10mV	-162nA	-18nA	-1,8nA

Os resultados da Tabela 3-1 indicam que o circuito com CDS não compensa o *offset* tão bem como o circuito com AZ. Isto se dá principalmente devido ao fato de a tensão de *offset* ser armazenada em  $C_C$  com a chave principal (*clock*  $\phi$ , Fig. 3-3) fechada e, portanto, a tensão no lado esquerdo de  $C_C$  não é exatamente  $V_X$  durante  $t_{os}$  devido às resistências das chaves (compare os esquemas de *clock* nas Fig. 3-3 e Fig. 3-5). Este problema pode ser atenuado ou com um esquema de *clock* diferente ou com chaves maiores (neste caso, aumenta a injeção de carga), mas mesmo assim o circuito com AZ terá um desempenho melhor que o circuito com CDS. Assim, nas próximas seções somente AZ será considerado.

### 3.3 Tempo de estabelecimento

Na célula de meio atraso SM, assim como em qualquer circuito amostrado, um erro devido ao estabelecimento ocorre durante a amostragem. Para manter a distorção em valores aceitáveis, o erro de estabelecimento deve ser pequeno. A análise que segue é válida para ambos os circuitos apresentados, seja com ou sem compensação de *offset*. A única diferença é o tempo disponível para a amostragem ( $t_{sam}$ ), o qual é menor no circuito com compensação de *offset* devido a  $t_{az}$ .

Para ambos os circuitos, Fig. 3-2 e Fig. 3-4, o erro de amostragem é dado por

$$\gamma = e^{-t_{sam}/\tau} \quad (3-7)$$

onde  $t_{sam}$  pode ser  $T/2$  ( $T$  é o período de *clock*), no circuito sem compensação de *offset*; ou  $(T/2)-t_{az}$ , no circuito com AZ; e  $\tau$  é uma constante que depende do capacitor de retenção, das condutâncias dos transistores, e do produto ganho-banda do amp-op. Na análise que segue é calculado o valor máximo de  $C_h$  de modo a manter o erro de estabelecimento abaixo de um certo valor.

O circuito equivalente de pequenos sinais durante a amostragem, para ambos os circuitos na Fig. 3-2 e na Fig. 3-4, é mostrado na Fig. 3-11. A resistência das chaves é considerada desprezível. A impedância de saída do estágio anterior é adicionada a  $g_s$ .

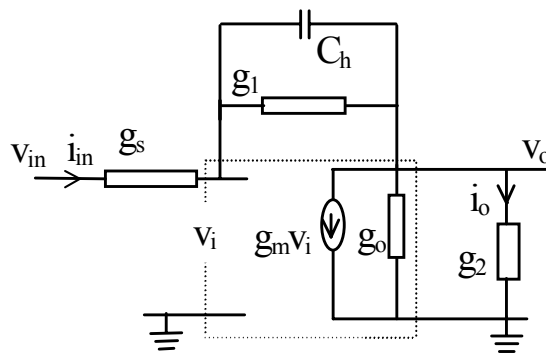


Fig. 3-11. Circuito equivalente de pequenos sinais para a célula de meio atraso SM..

Para o circuito da Fig. 3-11, considerando-se a transcondutância finita do amp-op representada por uma função de pólo simples, isto é,  $g_m = g_m(s) = \frac{g_{m0}}{1 + s/\omega_1}$  onde  $\omega_1$  é a frequência do pólo do amp-op com carga, e  $g_L = g_o + g_2$ , tem-se (Apêndice B):

$$C_h \leq g_1 t_{sam} \frac{1}{\ln(1/|\gamma|)} - \frac{g_s g_1 / g_L + g_s + g_1}{2\pi f_u} \quad (3-8)$$

de modo a ter-se um erro de amostragem menor que  $\gamma$ . Aqui,  $f_u$  é a frequência de ganho unitário do amp-op com carga,  $g_1$  e  $g_2$  são as condutâncias dreno-fonte dos transistores.

Considerando-se um erro de amostragem de 8 bits ( $\gamma = 0,004$ ),  $g_s = g_1 = g_2$  e  $g_o \gg g_1$ , (3-8) pode ser reescrita como:

$$C_h \leq \frac{g_1}{2 \ln(1/0.004)} \frac{1}{f_s} - \frac{g_1}{\pi} \frac{1}{f_u} \quad (3-9)$$

onde  $f_s$  é a frequência de amostragem. Portanto, se  $f_u < 3,5f_s$ , (3-9) não tem solução. Esta restrição com relação à  $f_u$  é a mesma que ocorre para circuitos SC [23].

Os valores de capacitância máxima calculados através de (3-9) apresentam concordância muito boa com os valores obtidos por simulação (Apêndice B).

### 3.4 Ruído

A faixa dinâmica de um circuito é a razão do máximo sinal que pode ser aplicado ao circuito (limitado por distorção) pelo mínimo sinal que pode ser processado pelo circuito. Este último é limitado pelo ruído. Assim, é muito importante determinar-se os níveis de ruído de circuitos SM.

Para a análise de ruído, foi utilizada a metodologia proposta em [37]. A mesma consiste em decompor o circuito equivalente de ruído em subcircuitos invariantes no

tempo, válidos para específicos intervalos de tempo, e em uma rede de dados amostrados sem transiente e com fontes de ruído de banda limitada. Primeiramente, na próxima subseção, as fontes de ruído serão analisadas

### 3.4.1 Ruído nos transistores e no amplificador operacional

O ruído nos MOSFETs é composto de ambos ruído *flicker* ( $1/f$ ) e ruído branco. Contudo, a contribuição do ruído *flicker* fica geralmente submersa pelo *aliasing* dos componentes de banda larga [37], se CDS ou AZ é utilizado [38]. Assim, somente o componente de ruído branco será analisado aqui.

A densidade espectral para o ruído térmico (corrente) em MOSFETs válida de inversão fraca a forte é dada [8] por

$$S_{Id,th}(f) = \frac{-4\theta\mu_{n(p)}Q_I}{L^2} \quad (3-10a)$$

onde  $Q_I$  é a carga total de inversão,  $\theta = kT$ ,  $k$  é a constante de Boltzmann e  $T$  é a temperatura absoluta. De (3-10a), pode ser observado que o ruído térmico em um MOSFET é o mesmo que o produzido por uma condutância  $G_{N,th}$  cujo valor é [8]

$$G_{N,th} = \frac{\mu_{n(p)}|Q_I|}{L^2} = g_{ms} \frac{Q_I}{Q'_{IS}WL} \quad (3-10b)$$

onde  $Q'_{IS}$  é a densidade de carga de inversão na fonte. Na região linear, a densidade de carga de inversão é quase uniforme, assim  $Q'_{IS} \cong Q_I / WL$  e a condutância  $G_{N,th}$  se iguala à transcondutância de fonte. Na saturação, a relação entre  $G_{N,th}$  e  $g_{ms}$  torna-se

$$G_{N,th} = \frac{1}{2} g_{ms} \text{ na inversão fraca} \quad (3-10c)$$

$$G_{N,th} = \frac{2}{3} g_{ms} \text{ na inversão forte} \quad (3-10d)$$

Para o cálculo preciso do ruído térmico, pode-se referir a [8]. Para ambos o cálculo do ruído térmico na região linear ou sua estimativa na saturação, pode-se usar

$$S_{Id,th}(f) \cong 4\theta g_{ms} \quad (3-10e)$$

Um erro bastante comum no cálculo do ruído térmico é a substituição de  $g_{ms}$  por  $g_{mg}$ , a transcondutância de porta, em (3-10e). Tal substituição leva a valores completamente errados para o ruído térmico fora da região de saturação porque  $g_{mg} \ll g_{ms}$ , particularmente próximo à origem ( $v_D = v_S$ ) [8].

No amp-op da Fig. 3-12, a densidade espectral (representação unilateral) do ruído branco referido à entrada é dada por [8, 39]:

$$S_{eq}(f) = 8\theta \frac{n^2}{g_{ms\_M1}} + 8\theta \left( \frac{g_{m\_M3}}{g_{m\_M1}} \right)^2 \frac{1}{g_{ms\_M3}} \quad (3-11)$$

Para a derivação de (3-11), a contribuição do segundo estágio do amp-op para o ruído foi considerada desprezível.

Além do ruído gerado no amp-op, na célula de meio atraso SM os transistores e chaves também geram ruído.

Na célula de meio atraso, a derivação da contribuição de ruído dos transistores ou das chaves no estado *ON* produz um resistor *noiseless* conectado em série com uma fonte de tensão de ruído de densidade espectral uniforme dada por

$$S_i(f) = 4\theta R_i = \frac{4\theta}{g_{ms_i}} \quad (3-12)$$



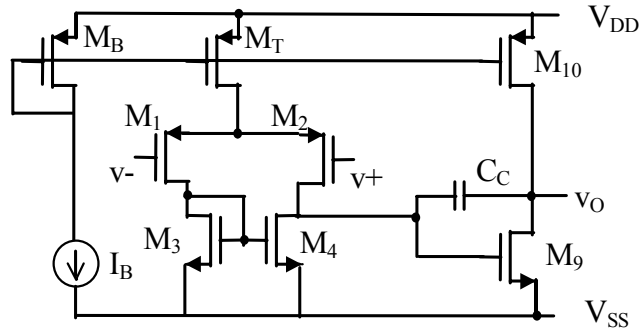


Fig. 3-12. Amp-op simples.

### 3.4.2 Ruído na célula de meio atraso SM

Em qualquer técnica amostrada, o espectro do ruído de saída consiste em geral de um componente de banda larga devido a um sinal de ruído em tempo contínuo (ruído direto) e de uma contribuição de banda estreita resultante do sinal de ruído amostrado-e-retido. Na célula de meio atraso SM com auto-zero, o espectro do ruído de saída consiste de três diferentes componentes de ruído direto, provindos de três subcircuitos diferentes (um deles válido durante AZ, outro válido durante a amostragem e ainda outro válido durante a retenção) e de dois componentes de ruído amostrado-e-retido (um em  $C_h$  e o outro em  $C_{AZ}$ ).

Considere inicialmente o *sample-and-hold* simples da Fig. 3-13 com  $v_{in} = 0$ . Quando a chave está no estado *ON* (durante um tempo  $t_{on}$ ), há um componente de ruído de banda larga presente na saída devido à resistência da chave,  $R_{on}$ . Quando a chave abre, o ruído é amostrado-e-retido no capacitor. Considerando-se que deve ocorrer uma carga quase completa de  $C$  (digamos, dentro de uma precisão de 1%) quando a chave está *ON*,  $t_{on}$  deve ser ao menos  $7R_{on}C$ . Isto significa que a largura de banda do ruído direto  $f_{sw} = \frac{1}{4R_{on}C}$  é ao menos 3,5 vezes maior que a frequência de amostragem  $f_s$ . Ocorre então o *aliasing*, concentrando toda a potência de ruído do resistor chaveado na banda básica [23]. A

contribuição do ruído direto (*broadband*) ,  $S^b(f)$  , e a contribuição do ruído amostrado-e-retido  $S^{S/H}(f)$  para a saída são dadas por (representação unilateral) [23]

$$S^b(f) \cong 4m\theta R_{on} \quad (3-13)$$

$$S^{S/H}(f) = 2(1-m)^2 \frac{\theta}{Cf_s} \quad (3-14)$$

onde  $m \equiv t_{on}/T$  . Para frequências baixas (banda básica), com  $m \leq 0,5$  a razão

$$r = \frac{S^{S/H}(f)}{S^b(f)} \geq 3,5 . \text{ Para } m = 0,25, \text{ } r = 31,5.$$

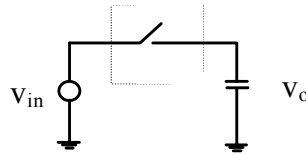


Fig. 3-13. Circuito sample-and-hold simples.

As considerações acima justificam o fato de se considerar a contribuição do ruído direto do subcircuito de auto-zero desprezível comparada com a contribuição do ruído amostrado-e-retido em  $C_{AZ}$ . Da mesma forma, considera-se a contribuição do ruído direto do subcircuito de amostragem desprezível comparada com a contribuição do ruído amostrado-e-retido em  $C_h$ . A análise de ruído subsequente é portanto concentrada no ruído direto da fase de retenção e nos ruídos amostrado-e-retido em ambos  $C_{AZ}$  e  $C_h$ .

A contribuição para a saída do ruído direto no período de retenção é (Apêndice C):

$$S_{hol}^b(f) \cong \frac{t_{hol}}{T} 4\theta \left[ (R_{eq}) \frac{1}{1 + \left( \frac{\omega}{\omega_u} \right)^2} \right] \quad (3-15)$$

onde  $R_{eq}$  é o resistor equivalente para o ruído do amp-op referido à entrada.

A contribuição para a saída do ruído amostrado-e-retido em  $C_{AZ}$  é (Apêndice C):

$$S_{Caz\_out}^{S/H}(f) = \frac{2\theta}{f_s C_{AZ}} \left( 1 + \frac{R_{eq} C_{AZ} \omega_u}{1 + K_a} \right) \left[ \left( 1 + \frac{R_1}{R_s} \right)^2 (t_{sam}/T)^2 + (t_{hol}/T)^2 \right] \quad (3-16)$$

onde  $K_a \equiv C_{AZ}/C_h$ ,  $R_{eq}$  é o resistor equivalente para o ruído do amp-op referido à entrada e  $\omega_u$  é a frequência de ganho unitário do amp-op. O primeiro termo no primeiro parêntese aparece devido às fontes de ruído dos transistores (externos ao amp-op) e das chaves, os quais não são filtrados pelo *rolloff* do amp-op.

A contribuição para a saída do ruído amostrado-e-retido em  $C_h$  é dividida em dois componentes não-correlacionados e é dada por (Apêndice C):

$$S_{Ch\_1}^{S/H}(f) \cong \frac{2\theta}{f_s C_h} (1 + R_{eq} C_h \omega_u) (1 - t_{sam}/T)^2 \quad (3-17a)$$

e

$$S_{Ch\_2}^{S/H}(f) = \frac{2\theta}{f_s C_{AZ}} \left( 1 + \frac{R_{eq} C_{AZ} \omega_u}{1 + K_a} \right) \left[ \left( \frac{R_1}{R_s} \right)^2 (1 - t_{sam}/T)^2 \right] \quad (3-17b)$$

O ruído total na saída é a soma das contribuições dadas por (3-15), (3-16) e (3-17), i.

e.,

$$S_{OUT}(f) = S_{hol}^b(f) + S_{Caz\_out}^{S/H}(f) + S_{Ch\_1}^{S/H}(f) + S_{Ch\_2}^{S/H}(f) \quad (3-18)$$

A densidade espectral de ruído na saída é relativamente insensível à tecnologia, desde que as características do amp-op e as razões de transistores e de capacitores sejam mantidas as mesmas.

Se for considerado o circuito sem compensação de *offset*, como na Fig. 3-2, (3-16) e (3-17b) tornam-se zero.

Um exemplo será dado com a tecnologia CXE (0,8 $\mu$ m) da AMS,  $C_{AZ} = C_h = 5$ pF, transistores com  $(W/L)=10\mu\text{m}/20\mu\text{m}$ , frequência de amostragem de 50kHz, tensão de alimentação de 1,5V e o amp-op projetado para uso no *chip* 1 (Capítulo 5), com  $\omega_u = 2\pi \cdot 700\text{kHz}$ . Tem-se, de (3-18), considerando-se a faixa de frequências da banda básica (até 25kHz):

$$\overline{(v_{OUT})}^2 = (5.7\mu\text{V})^2 + (31\mu\text{V})^2 + (40\mu\text{V})^2 + (27\mu\text{V})^2 = (58\mu\text{V})^2$$

Nota-se pelo exemplo acima que a principal contribuição para o ruído de saída provém do ruído amostrado-e-retido, sendo o ruído de banda larga desprezível quando integrado na banda básica. Contudo, como em geral o próximo estágio irá amostrar a saída da célula de meio atraso, as fontes de ruído de banda larga são importantes devido ao aliasing no próximo estágio. Além disso, pode-se notar por (3-16) e (3-17) que a limitação de banda desempenhada pelo amp-op é importante para reduzir o *aliasing* que aumenta o ruído amostrado-e-retido. Assim,  $\omega_u$  deve ser escolhido o menor valor que ainda permita o estabelecimento correto do circuito.

### 3.5 Injeção de carga

A carga injetada pelas chaves é um dos principais problemas a serem tratados em uma técnica amostrada. A injeção de carga pode produzir tanto um *offset* residual como distorção harmônica. A carga injetada por uma chave MOS quando a mesma é aberta (passada para o estado *OFF*) tem dois componentes [38, 40]. O primeiro é chamado de *clock feedthrough* e é causado pelas capacitâncias de *overlap* porta/dreno e porta/fonte. O segundo componente é devido à carga do canal, a qual tem que fluir através de fonte e

dreno quando a chave abre. Em geral, a carga do canal é o componente dominante [38]. Estas duas contribuições são analisadas separadamente nas duas próximas subseções.

### 3.5.1 Injeção de carga devida às capacitâncias de *overlap*

A variação de tensão em um capacitor linear  $C$  devida à porção da tensão de porta acoplada pelas capacitâncias de *overlap* é

$$\Delta V_{ov} \cong \Delta V_{GB(OFF)} \frac{C_{ov}}{C_{ov} + C} \quad (3-19)$$

onde  $\Delta V_{GB(OFF)}$  é a variação de tensão porta-substrato desde que o transistor é cortado. Grosseiramente falando, o transistor corta quando  $(V_{GB} - V_{T0})/n < V_{SB}$ , onde  $V_{T0}$  é a tensão de limiar (*threshold*) do transistor e  $n$  é o fator de rampa [8]. Na técnica de MOSFET chaveado, conforme explicado no capítulo anterior, todas as chaves operam a tensão constante  $V_X = V_P(1 - 1/\sqrt{2}) \cong 0,3(V_{DD} - V_{T0})/n$ ,  $V_P$  é a tensão de *pinch-off* [8, 31]. Portanto, para a chave em SM,  $\Delta V_{GB(OFF)} \cong 0,7V_{T0} + 0,3V_{DD}$ . Ainda, como geralmente  $C \gg C_{ov}$ , tem-se:

$$\Delta V_{ov} = (0,7V_{T0} + 0,3V_{DD}) \frac{C_{ov}}{C_{ov} + C} \cong (0,7V_{T0} + 0,3V_{DD}) \frac{C_{ov}}{C} = (0,7V_{T0} + 0,3V_{DD}) \frac{C'_{ov}W}{C} \quad (3-20)$$

### 3.5.2 Injeção de carga devida à carga do canal

Para a análise do efeito da carga do canal, considere a densidade de carga de inversão dada [8] por

$$Q'_I \cong -nC'_{ox}(V_p - V_c) \quad (3-21)$$

onde  $V_c$  é a tensão do canal, equivalente a  $V_X$  em SM. Substituindo-se  $V_c = V_X$  e  $V_p = (V_{DD} - V_{T0})/n$  [8] em (3-21) produz

$$Q_I = WLQ'_I \cong -WLC'_{ox} \frac{V_{DD} - V_{T0}}{\sqrt{2}} \quad (3-22)$$

onde  $W$  e  $L$  são a largura efetiva e comprimento efetivo do canal, respectivamente. Quando o transistor torna-se *OFF*, esta carga é removida do canal através de fonte e dreno. A quantidade de carga que flui por cada terminal depende ambos da capacitância equivalente em cada um dos lados e do parâmetro de chaveamento [40, 49], parâmetro este determinado principalmente pela resistência *ON* do transistor  $R_{on}$  e pela rampa do sinal de *clock* aplicado à porta do transistor. No pior caso, toda a carga do canal seria transferida para o capacitor em questão (capacitor de retenção ou de auto-zero), i. e.:

$$\Delta V_{cc\_c\_max} = \frac{Q_I}{C} \quad (3-23)$$

O subscrito em (3-23) significa *Channel Charge in capacitor C, MAXimum value*, com  $Q_I$  dado por (3-22).

### 3.5.3 Injeção de carga na célula de meio atraso SM

Considere a célula de meio atraso básica da técnica de MOSFET chaveado, repetida na Fig. 3-14 por conveniência. Quando  $S_W$  abre, há injeção de carga no capacitor de retenção  $C_h$ . A variação de tensão máxima total (pior caso) em  $C_h$  devida a ambos *clock feedthrough* e carga do canal é

$$\Delta V_{ch\_max} = (0,7V_{T0} + 0,3V_{DD})WC'_{ov} \left( \frac{1}{C_h} \right) + WLC'_{ox} \frac{V_{DD} - V_{T0}}{\sqrt{2}} \left( \frac{1}{C_h} \right) \quad (3-24)$$

Considere agora a célula de meio atraso SM com compensação de *offset* por auto-zero, repetida por conveniência na Fig. 3-15. Os efeitos das 4 chaves do circuito serão analisados separadamente:

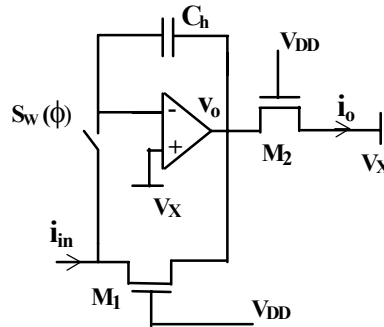


Fig. 3-14. A célula básica de meio atraso de técnica SM.

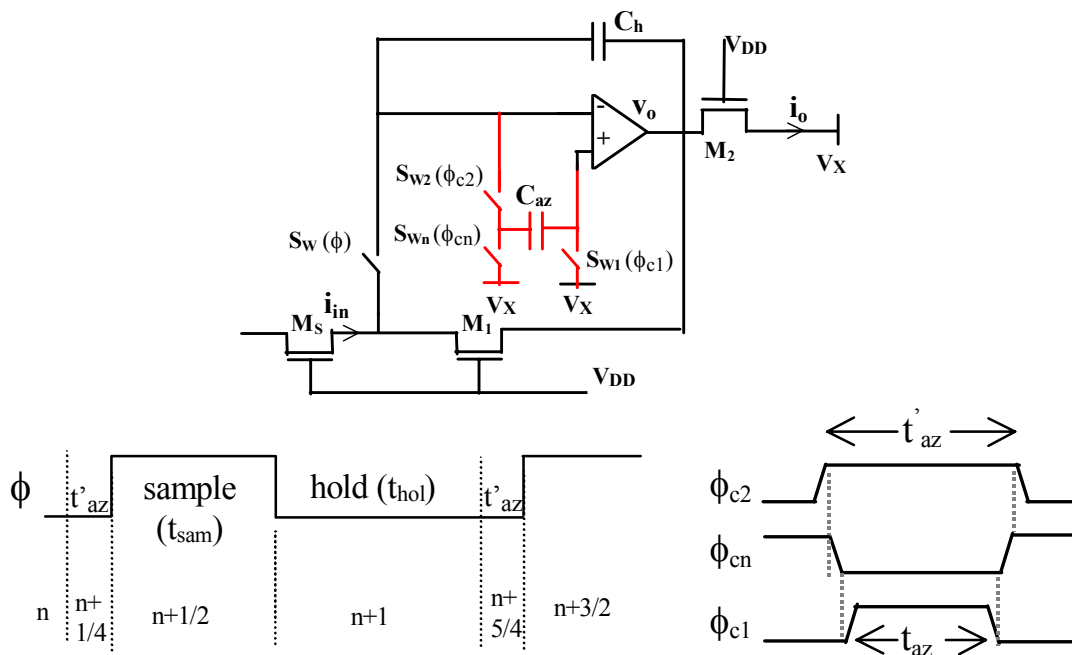


Fig. 3-15. A célula de meio atraso SM com auto-zero.

### Efeito de $S_{W2}$

Quando  $S_{W2}$  abre, a carga armazenada em  $C_{AZ}$  não muda (veja o esquema de *clock* na Fig. 3-15), considerando-se uma impedância de entrada muito alta para o amp-op. Após

$S_{W2}$  abrir, o período de amostragem irá começar, de modo que a carga injetada por  $S_{W2}$  em  $C_h$  é também irrelevante.

### Efeito de $S_{Wn}$

Assim como  $S_{W2}$ ,  $S_{Wn}$  também não injeta carga em  $C_h$ .

### Efeito de $S_{W1}$

Considerando-se que toda a carga do canal de  $S_{W1}$  transfere-se para  $C_{AZ}$  (pior caso), a variação de tensão em  $C_{AZ}$  devida à carga injetada por  $S_{W1}$  no final da fase de AZ é:

$$\Delta V_{caz} \leq \Delta V_{\max\_caz} = (0,7V_{T0} + 0,3V_{DD})WC'_{ov} \left( \frac{1}{C_{AZ}} \right) + WLC'_{ox} \frac{V_{DD} - V_{T0}}{\sqrt{2}} \left( \frac{1}{C_{AZ}} \right). \quad (3-25)$$

A carga injetada por  $S_{W1}$  é equivalente a um *offset* não compensado. Considerando-se  $M_1 = M_5$  (Fig. 3-15), a tensão de saída de *offset* devida à carga injetada em  $C_{AZ}$  é

$$\Delta V_{o\_caz} = [2\Delta V_{caz} / (1 + 2/A)] \cong 2\Delta V_{caz} \quad (3-26)$$

onde  $A$  é o ganho DC do amp-op.

Usando-se AMS CXE (0,8 $\mu$ m), tecnologia que apresenta  $C'_{ov} = 0,34 \text{ fF}/\mu\text{m}$ ,  $C'_{ox} = 2 \text{ fF}/\mu\text{m}^2$ , e  $V_{DD} = 1,5\text{V}$ , transistores de 10 $\mu$ m/20 $\mu$ m, chaves de 2 $\mu$ m/0,8 $\mu$ m ( $R_{\text{transistores}}/R_{\text{cheves}} = 5$ ) e  $C_{AZ} = 5\text{pF}$ , a máxima variação de tensão em  $C_{AZ}$  devida à carga injetada por  $S_{W1}$  é 0,4mV e a máxima corrente de *offset* causada em  $M_2$  (Fig. 3-15, considerando-se o ponto de operação  $v_S = V_X$ ) é 10nA. Esta corrente de *offset* corresponde a 0,2% de  $I_{\max}$  para o transistor, com  $I_{\max}$  dada por (2-5).

Considerando-se agora AMS CSI (0,35 $\mu$ m), a qual apresenta  $C'_{ov} = 0,21 \text{ fF}/\mu\text{m}$ ,  $C'_{ox} = 4,6 \text{ fF}/\mu\text{m}^2$ , e  $V_{DD} = 1,0\text{V}$ , transistores de 8 $\mu$ m/20 $\mu$ m, chaves de



0,7 $\mu$ m/0,35 $\mu$ m ( $R_{\text{transistores}}/R_{\text{cheves}} = 5$ ) e  $C_{AZ} = 5\text{pF}$ , a máxima variação de tensão em  $C_{AZ}$  devida à carga injetada por  $S_{W1}$  é 0,1mV e a máxima corrente de *offset* causada em  $M_2$  é 2,5nA. Esta corrente de *offset* corresponde a 0,07% de  $I_{\text{max}}$  para o transistor, sendo  $I_{\text{max}}$  dado por (2-5).

### Efeito de $S_W$

A carga injetada por  $S_W$  não influencia  $C_{AZ}$ . A variação de tensão em  $C_h$  devida à carga injetada por  $S_W$  é igual à observada no caso sem compensação de *offset* e é dada por (3-24). Esta carga injetada produz um efeito em sentido oposto ao efeito produzido pela carga injetada por  $S_{W1}$ . Infelizmente, mesmo se estas duas chaves estiverem casadas e se for considerado que toda a carga do canal de  $S_W$  flui para  $C_h$  e que toda a carga do canal de  $S_{W1}$  flui para  $C_{AZ}$ , não ocorre o cancelamento completo dos dois efeitos porque a tensão armazenada em  $C_{AZ}$  aparece duplicada na saída (considerando-se transistores iguais), enquanto que a tensão armazenada em  $C_h$  aparece diretamente na saída.

## 3.6 Distorção harmônica

Nesta seção, são analisadas as influências da tensão de *offset* do amp-op, da injeção de carga, do descasamento entre os componentes e do ganho DC finito do amp-op na distorção harmônica, para as células de meio atraso das Fig. 3-2 e Fig. 3-4. Quando a análise for válida para ambos os circuitos, os mesmos serão referidos simplesmente como “a célula de meio atraso SM”.

### 3.6.1 Efeito da tensão de *offset* do amp-op

Considerando-se o ganho DC do amp-op muito alto e desprezando-se outras fontes de erro, a tensão de *offset* do amp-op terá influência na corrente de saída da célula de meio atraso SM dada por (Apêndice D)

$$i_{o(n)} = -\frac{(W/L)_2}{(W/L)_1} i_{in(n-1/2)} + \frac{\sqrt{2}}{2} \mu C'_{ox} n(W/L)_2 V_{OS} V_P. \quad (3-27)$$

De acordo com (3-27), a tensão de *offset* do amp-op não introduz distorção harmônica, introduz apenas um *offset* na corrente de saída.

### 3.6.2 Efeito da carga injetada

Na célula de meio atraso SM, a carga do canal das chaves é independente do sinal porque as chaves operam à tensão constante. A fração de carga que flui para  $C_h$  depende da impedância de ambos os lados da chave, as quais também são assumidas ser independentes do sinal [40]. Assim, o erro de tensão introduzido em  $C_h$  devido à injeção de carga será considerado constante (para isto,  $C_h$  tem que ser linear). Muito embora a carga injetada no capacitor de retenção seja independente do sinal, esta carga injetada introduzirá distorção harmônica porque a conversão tensão-corrente (v/i) no transistor é não-linear. Como a distorção harmônica causada pela injeção de carga é independente da frequência do sinal de entrada, a distorção pode ser analisada considerando-se um sinal harmônico distorcido por uma função de transferência estática não-linear; assim (Apêndice D):

$$i_{O(t)} \cong 2\sqrt{2} \frac{\Delta V_{ch}}{V_P} I_{max} - \hat{I} \cos(\omega t) - \frac{\sqrt{2}}{8} \frac{\Delta V_{ch}}{V_P} \frac{\hat{I}^2}{I_{max}} \cos(2\omega t) + \frac{\sqrt{2}}{32} \frac{\Delta V_{ch}}{V_P} \frac{\hat{I}^3}{I_{max}^2} \cos(3\omega t) \dots (3-28)$$

onde  $\hat{I} \leq I_{MAX} = \frac{\mu C'_{ox} n}{4} \frac{W}{L} V_P^2$  é a corrente de entrada de pico e  $\Delta V_{ch}$  é a variação de tensão em  $C_h$  devida à injeção de carga. O primeiro termo no lado direito de (3-28) é a corrente de *offset*. Se for desprezado o *clock feedthrough*, a corrente de *offset* torna-se:

$$\frac{I_{OS}}{I_{max}} \leq 2n \frac{C_{switch}}{C_h} \quad (3-29)$$

onde  $C_{switch} \equiv C'_{ox}(WL)_{switch}$ .

No circuito da Fig. 3-4, a carga injetada em  $C_{AZ}$  não produz qualquer distorção mas apenas *offset* residual porque o efeito da carga injetada em  $C_{AZ}$  é similar ao produzido pela tensão de *offset* do amp-op.

O cálculo da corrente de *offset* considerando-se tensão de alimentação de 1,5V, transistores de 10µm/20µm, chaves de 2µm/0.8µm,  $C_h=5$ pF e tecnologia CXE 0,8µm da AMS resulta em (usando-se (3-28)):

Corrente de *offset* ( $I_{OS}/I_{Omax}$ )  $\leq 0,22\%$ .

Distorção harmônica total devida à injeção de carga ( $THD_{ci}$ )  $\leq 0,015\%$ .

### 3.6.3 Efeito do descasamento entre os componentes

Uma diferença no parâmetro de transcondutância ( $\mu C'_{ox}(W/L)$ ) produz um erro de ganho relativo proporcional ao descasamento nos parâmetros de transcondutância. Um descasamento na tensão de *threshold* (*pinch-off*) causa erro de ganho e distorção harmônica sumariados pela seguinte expressão [27]:

$$x_2 = \left( 1 + \frac{\Delta V_P}{V_P} \right) x_1 + \frac{\Delta V_P}{V_P} \left( \frac{x_1^2}{8} + \frac{x_1^3}{32} + \dots \right) \quad (3-30)$$

onde  $\frac{\Delta V_P}{V_P} = \frac{\Delta V_{TO}}{V_{DD} - V_{TO}}$  é o descasamento na tensão de *threshold* normalizado pela tensão de

*overdrive* e  $x_1 = i_{in}/i_{in\ max}$ ,  $x_2 = i_o/i_{o\ max}$  são as correntes normalizadas de entrada e saída.

### 3.6.4 Efeito do ganho DC finito do amp-op

A influência do ganho DC finito  $A$  do amp-op na corrente de saída da célula de meio atraso SM é dada por (Apêndice D)

$$i_{O(t)} \cong \frac{2(1-\sqrt{2})}{A} I_{max} - \hat{I} \cos(\omega t) - \frac{1}{8A} \frac{\hat{I}^2}{I_{max}} \cos(2\omega t) + \frac{1}{32A} \frac{\hat{I}^3}{I_{max}^2} \cos(3\omega t) \dots \quad (3-31)$$

Como exemplo, em uma célula de meio atraso com tensão de alimentação de 1,5V, transistores de 10 $\mu$ m/20 $\mu$ m, chaves de 2 $\mu$ m/0,8 $\mu$ m,  $C_h=5$ pF, amp-op com  $A=100$  e tecnologia CXE 0,8 $\mu$ m da AMS, tem-se:  $(I_{OS}/I_{Omax}) = 0,83\%$  e  $THD = 0,13\%$ .

## 3.7 Implementação de uma célula de meio atraso SM

Uma célula de meio atraso SM foi implementada em tecnologia AMS CSI, um processo CMOS de 0,35 $\mu$ m com  $V_T$  de 0,5V.

O amplificador operacional foi projetado seguindo-se a metodologia descrita no Capítulo 5, seção 5.2. O esquemático para o amp-op e os valores de projeto são mostrados na Fig. 3-16 e na Tabela 3-2, respectivamente.

O amp-op e a célula de meio atraso foram implementados como estruturas de teste para um adaptador direcional para auxílio à audição e foram projetados com o uso das ferramentas Cadence/Virtuoso/AMSDesignKit. Os resultados das medições são descritos nesta seção. Para atingir as especificações para o adaptador, capacitores de retenção de

8pF, transistores de  $2\mu\text{m}/10\mu\text{m}$  e chaves de dimensões mínimas ( $0,6\mu\text{m}/0,35\mu\text{m}$ ) foram utilizados.

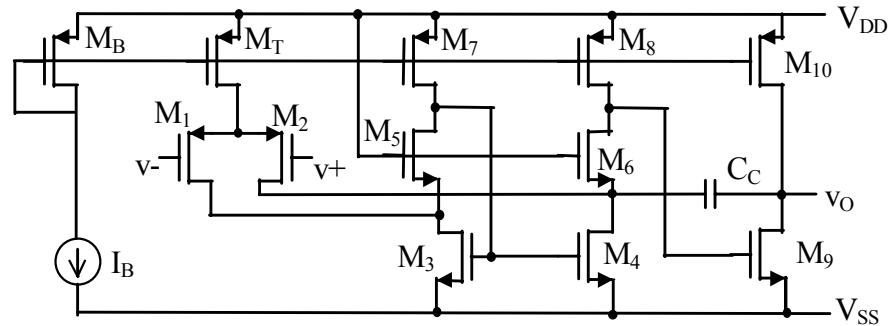


Fig. 3-16. Amp-op classe A para baixa tensão de alimentação [6, 43]

Tabela 3-2. Valores de projeto para o amp-op classe A (Fig. 3-16).

L, todos transistores	2,5 $\mu\text{m}$
M <sub>1</sub> , M <sub>2</sub>	W=100 $\mu\text{m}$
M <sub>3</sub> , M <sub>4</sub>	W=15 $\mu\text{m}$
M <sub>5</sub> , M <sub>6</sub>	W=8 $\mu\text{m}$
M <sub>7</sub> , M <sub>8</sub>	W=8 $\mu\text{m}$
M <sub>B</sub> , M <sub>T</sub>	W=16 $\mu\text{m}$
M <sub>9</sub>	W=67,5 $\mu\text{m}$
M <sub>10</sub>	W=72 $\mu\text{m}$
C <sub>c</sub>	1,8pF
I <sub>B</sub>	0,7 $\mu\text{A}$

### 3.7.1 Simulações

Várias simulações foram executadas utilizando-se o simulador SMASH e os modelos BSIM 3v3 para a tecnologia AMS CSI . Os resultados para a configuração de malha aberta estão mostrados na Tabela 3-3.

Tabela 3-3. Resultados de simulação para o amp-op AMS, configuração de malha aberta.

	$V_{DD} = 1,5\text{V}$		$V_{DD} = 1,0\text{V}$	
	Carga capacitiva ( $C_L = 8\text{pF}$ )	Carga capacitiva e “resistiva” ( $C_L = 8\text{pF}$ , $M_L = 2\mu\text{m}/10\mu\text{m}$ )	Carga capacitiva ( $C_L = 8\text{pF}$ )	Carga capacitiva e “resistiva” ( $C_L = 8\text{pF}$ , $M_L = 2\mu\text{m}/10\mu\text{m}$ )
Ganho DC, $A$	78dB	56dB	83dB	74dB
Frequência de ganho unitário, $f_u$	630kHz	520kHz	920kHz	830kHz
Margem de fase, $PM$	53°	63°	71°	71°

A Tabela 3-4 sumaria a resposta ao impulso, simulada em uma configuração não-inversora de ganho unitário.

Tabela 3-4. Resposta ao impulso simulada para o amp-op AMS, configuração de ganho unitário.

Tempo de estabelecimento*	$V_{DD} = 1,5V$			$V_{DD} = 1,0V$		
	Sem carga	Carga capacitiva ( $C_L = 8pF$ )	Carga capacitiva e “resistiva” ( $C_L = 8pF$ , $M_L = 2\mu m/10\mu m$ )	Sem carga	Carga capacitiva ( $C_L = 8pF$ )	Carga capacitiva e “resistiva” ( $C_L = 8pF$ , $M_L = 2\mu m/10\mu m$ )
Subida	0,9 $\mu s$	2,1 $\mu s$	2,1 $\mu s$	1,1 $\mu s$	2,0 $\mu s$	2,0 $\mu s$
Descida	1,1 $\mu s$	2,1 $\mu s$	2,1 $\mu s$	1,1 $\mu s$	1,4 $\mu s$	1,4 $\mu s$

\* dentro de 0,4% do valor final.

É importante enfatizar que com alimentação de 1,5V, os transistores  $M_5$  e  $M_6$  operam na região linear. Isto pode ser uma fonte de distorção e redução no ganho.

### 3.7.2 Medições no amp-op

As medições DC foram executadas utilizando-se o analisador de parâmetros HP 4145B. A Tabela 3-5 resume os resultados obtidos.

Tabela 3-5. Medições DC para o amp-op AMS.

amp-ops testados	Tensão de <i>offset</i> de entrada	Ganho DC sem carga	Ganho DC com carga ( $R_L = 39k\Omega$ )
4 amostras	$ V_{OS}  < 4mV$	$\cong 74dB$	$\cong 49dB$

1 –  $R=39k\Omega$  foi obtido utilizando-se  $R = (\partial I_D / \partial V_S)^{-1} \Big|_{V_S = V_D = V_X}$  para transistores de  $2\mu m/10\mu m$ .

A frequência de ganho unitário ( $f_u$ ) e a margem de fase (PM) foram medidas em uma configuração de amplificador não-inversor de ganho unitário, como o mostrado na Fig. 3-17. As medições foram executadas ambos com  $V_{DD}=1V$  e  $V_{DD}=1,5V$ , e os resultados são praticamente os mesmos para ambas as alimentações. A frequência de ganho unitário obtida  $f_u \cong 520kHz$ . A resposta em magnitude para o circuito é mostrada na Fig. 3-18, onde pode ser notado que há um pico indesejado para algumas frequências, típico de uma margem de fase pobre. A margem de fase medida a 520kHz é de somente 20°.

Circuitos SM utilizam a configuração amplificadora inversora. Em um amplificador inversor de ganho unitário, o fator de realimentação vale a metade do fator de realimentação de um amplificador não-inversor de ganho unitário e, por causa disto, a margem de fase aumenta no amplificador inversor. Medições na configuração inversora, utilizando resistores de  $39\text{k}\Omega$  para implementar um amplificador de ganho unitário, não mostram pico algum.

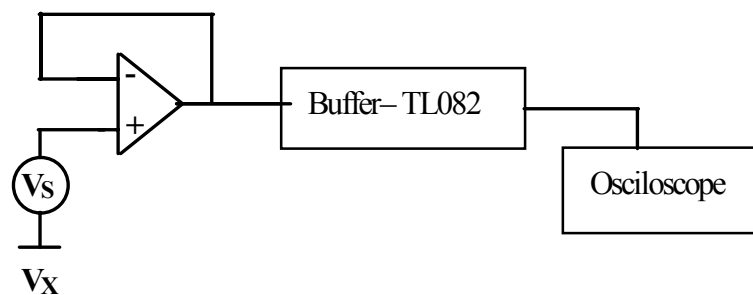


Fig. 3-17. Circuito para medir  $f_u$  e PM.

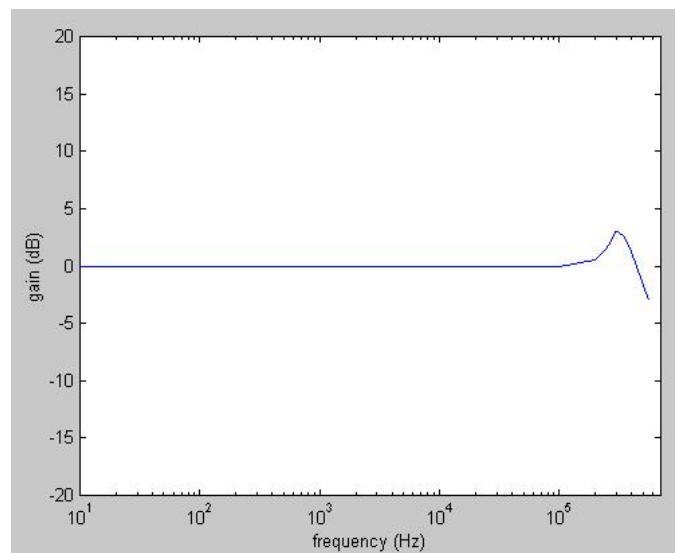


Fig. 3-18. Resposta em magnitude para o circuito da Fig. 3-17.

### 3.7.3 Medições na célula de meio atraso

O esquemático para a célula de meio atraso SM integrada é mostrado na Fig. 3-19.

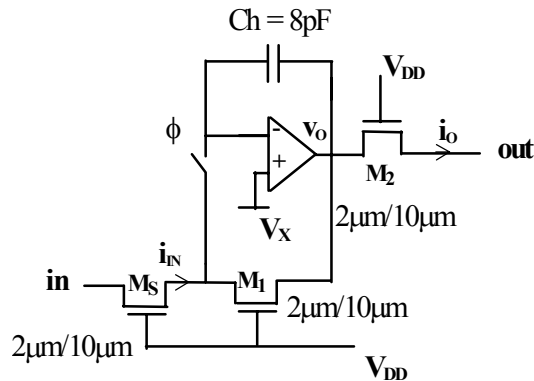


Fig. 3-19. A célula de meio atraso SM integrada.

Para medições de tempo de estabelecimento (*settling time*), um degrau de 100mV foi aplicado à entrada. A tensão de entrada foi variada de  $V_X$  a  $V_X + 100\text{mV}$  e então de  $V_X + 100\text{mV}$  a  $V_X$ . O tempo de estabelecimento medido para 0,4% do valor final  $< 2,5\mu\text{s}$ . O tempo total disponível para estabelecimento no circuito com compensação de *offset* é de  $7,5\mu\text{s}$  para uma frequência de amostragem de 50kHz. De fato, o pequeno valor obtido para estabelecimento ( $< 2,5\mu\text{s}$ ) era esperado porque, segundo (3-8), o máximo valor de capacitor para um erro de estabelecimento de 0,4% é 22pF, e capacitores de 8pF foram utilizados na célula de meio atraso implementada.

Para as medições de distorção, foi necessário projetar um conversor tensão/corrente utilizando amp-ops comerciais TL082. A distorção foi medida para várias correntes de entrada e várias frequências de entrada. A Fig. 3-20 mostra os resultados assim obtidos. A célula de meio atraso foi projetada para trabalhar com correntes de até  $1\mu\text{A}$ . A máxima corrente na célula de meio atraso é  $3\mu\text{A}^1$ . Na faixa de frequências de entrada ( $f_{in}$ ) de até

<sup>1</sup> De fato, de acordo com (2-5), a corrente máxima é  $6,6\mu\text{A}$ . Mas a célula de meio atraso medida forma parte de um circuito maior onde flui uma corrente de *offset* de  $3,6\mu\text{A}$  (colocando  $v_{out\_DC}$  para mais próximo de  $V_{SS}$ ).



5kHz ( $f_s/f_{in}=10$ ), os níveis de distorção foram  $< 1\%$  para  $I_{in} \leq 1\mu\text{A}$  (pico). Para correntes de entrada de até  $2\mu\text{A}$ , a distorção é função somente do segundo harmônico.

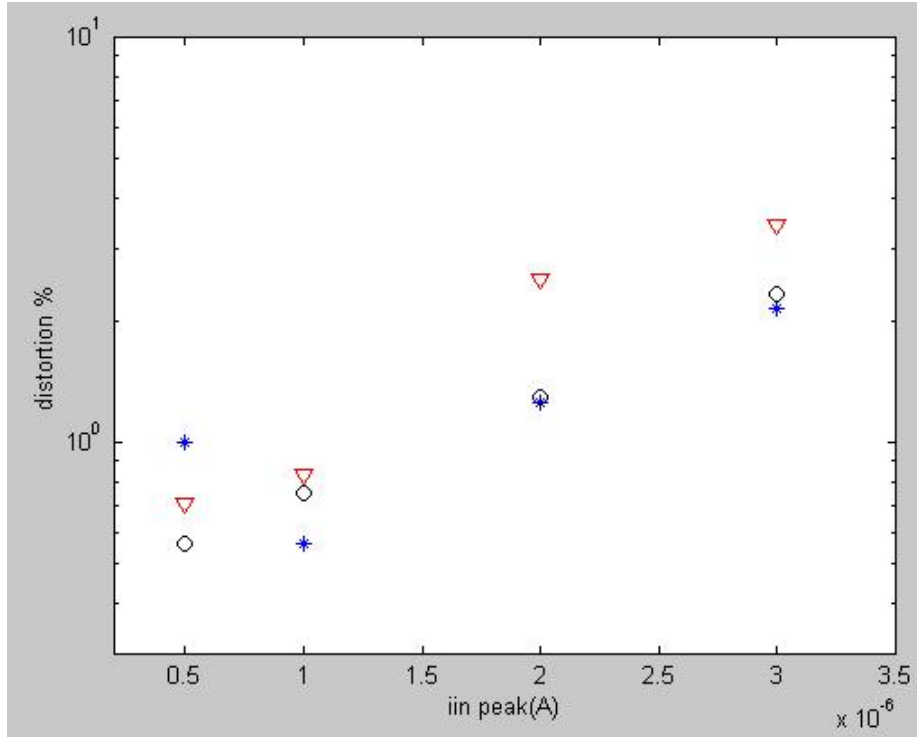


Fig. 3-20. Distorção versus corrente e frequência de entrada,  $f_{in} = 500\text{Hz}$  (\*),  $1\text{kHz}$  (O), e  $4\text{kHz}$  (∇).

Para as medições de ruído, foi necessário utilizar um circuito de amplificação de baixo ruído, composto de 3 amplificadores operacionais de baixo ruído CA744, como mostrado à direita da linha tracejada na Fig. 3-21 [52]. O circuito de amplificação, alimentado por baterias, possui ganho de tensão de  $10^4$  e faixa de frequência de 800Hz a 25kHz.

O ruído de saída rms medido na  $out_4$  (Fig. 3-21) foi de 135mV, o que corresponde a  $18,9\mu\text{V}$  na  $out_1$ , saída do amplificador operacional da célula de meio atraso SM. O valor esperado usando-se (3-17a) é  $16,3\mu\text{V}$ .

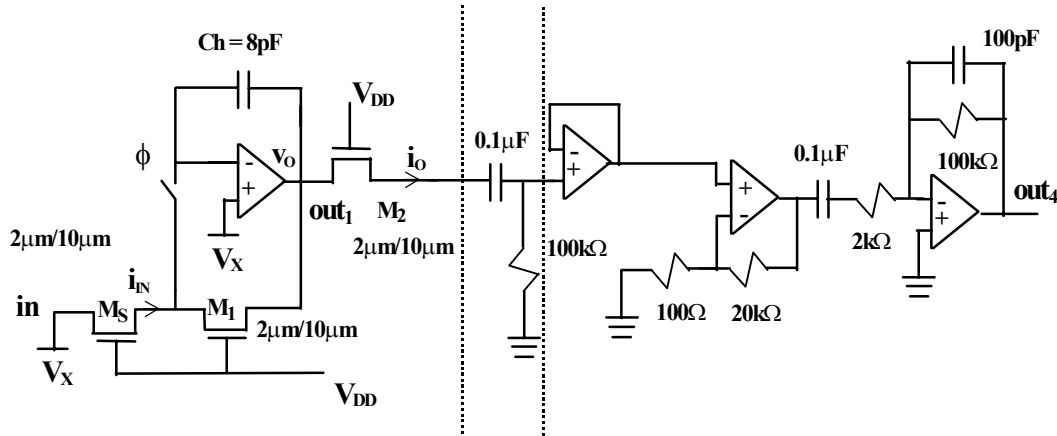


Fig. 3-21. Medição do ruído na célula de meio atraso SM.

### 3.8 Sumário

Neste capítulo, a célula básica de construção da técnica de MOSFET chaveado, a célula de meio atraso, foi analisada.

As principais imperfeições na célula de meio atraso SM estão relacionadas com imperfeições no amplificador operacional. A tensão de *offset* de entrada do amp-op causa *offset* na corrente de saída que irá afetar a faixa dinâmica dos circuitos, de modo que em algumas aplicações técnicas de compensação de *offset*, tais como a técnica de AZ, devem ser usadas.

A análise do tempo de estabelecimento, na seção 3.3, permite a determinação do máximo valor possível para o capacitor de retenção,  $C_h$ , e do mínimo valor necessário para a largura de banda do amplificador operacional. De acordo com os resultados obtidos, a largura de banda do amp-op deve ser no mínimo 3,5 vezes a frequência de amostragem para se obter um erro de amostragem consistente com uma resolução de 8 bits.

A análise de ruído, importante para a determinação da faixa dinâmica dos circuitos, inclui ambos componentes de ruído de banda larga (*broadband*) e amostrado-e-retido

(*sampled-and-held*). O ruído amostrado-e-retido, a fonte de ruído mais importante, é proporcional a  $kT/C$ .

A injeção de carga nos circuitos causa ambos *offset* residual e distorção harmônica, conforme foi mostrado neste capítulo. Assim, as chaves devem ter dimensões mínimas possíveis, sendo o fator de limitação a razão entre a condutância das chaves e a condutância dos transistores. A razão de aspecto dos transistores depende da corrente de trabalho, de modo que em alguns casos a largura da chave pode ter que ser maior do que o permitido pela tecnologia para permitir uma boa razão de condutâncias transistor/chave.

Na seção 3.6, as principais fontes de distorção harmônica foram consideradas. A análise permite a determinação do mínimo ganho DC do amp-op necessário para manter a distorção abaixo de certo nível.

Finalmente, na seção 3.7, a implementação de uma célula de meio atraso SM foi descrita e os resultados das medições foram apresentados. Os resultados mostram concordância com a teoria.



# ***MOSFET chaveado:***

## ***análise em nível de sistema***

# 4

### **4.1 Introdução**

Neste capítulo, são considerados alguns outros aspectos que são importantes para o projetista em nível de sistema.

Primeiramente, na seção 4.2, é analisada a influência de imperfeições como a tensão de *offset* do amp-op em outras estruturas importantes SM, como os integradores de primeira e segunda geração e a biquadrática universal.

Circuitos SM processam correntes. Em algumas aplicações, a entrada e/ou saída do sistema é uma tensão. Neste caso, conversores adicionais tensão/corrente ( $v/i$ ) e corrente/tensão ( $i/v$ ) são necessários. A seção 4.3 enfoca estes conversores. Finalmente, na seção 4.4, um sumário do capítulo é apresentado.

### **4.2 *Offset* em outras estruturas SM**

A performance de integradores é muito afetada pela tensão de *offset* dos amplificadores operacionais. Assim, abaixo é analisada a influência da tensão de *offset* dos amp-ops nos integradores de primeira e segunda geração e na biquadrática (construída com integradores de segunda geração).

#### 4.2.1 Efeito da tensão de *offset* no integrador de primeira geração

No integrador de primeira geração da Fig. 2-7, considerando-se como única característica não-ideal a tensão de *offset* do amp-op, tem-se (análise de pequenos sinais) [34]:

$$V_{OA}(z) = \frac{2V_{OS1} + \beta V_{OS1} - 2\beta V_{OS2}}{1 - \beta z^{-1}} - \frac{V_i(z)}{1 - \beta z^{-1}} \quad (4-1)$$

$$V_{OB}(z) = \frac{2V_{OS2} - \beta V_{OS1} - 2V_{OS1}}{1 - \beta z^{-1}} + \frac{z^{-1}V_i(z)}{1 - \beta z^{-1}} \quad (4-2)$$

onde  $V_{OA}$  e  $V_{OB}$  são as tensões nas saídas de  $A_1$  e  $A_2$ , respectivamente,  $V_{OS1}$  e  $V_{OS2}$  são as tensões de *offset* de  $A_1$  e  $A_2$ , respectivamente, e  $V_i$  é a tensão de entrada, função da corrente de entrada.

#### 4.2.2 Efeito da tensão de *offset* no integrador de segunda geração

No integrador de segunda geração da Fig. 2-9, considerando-se como única característica não-ideal a tensão de *offset* do amp-op, tem-se (análise de pequenos sinais) [34]:

$$V_{OA}(z) = \frac{3V_{OS1} + 3\beta V_{OS1} - 2V_{OS2} - \beta V_{OS2}}{1 + \beta - z^{-1}} - \frac{V_i(z)}{1 + \beta - z^{-1}} \quad (4-3)$$

$$V_{OB}(z) = \frac{2V_{OS2} + \beta V_{OS2} - 3V_{OS1}}{1 + \beta - z^{-1}} + \frac{z^{-1}V_i(z)}{1 + \beta - z^{-1}} \quad (4-4)$$

onde  $V_{OA}$  e  $V_{OB}$  são as tensões nas saídas de  $A_1$  e  $A_2$ , respectivamente, e  $V_{OS1}$  e  $V_{OS2}$  são as tensões de *offset* de  $A_1$  e  $A_2$ , respectivamente.

### 4.2.3 Efeito da tensão de *offset* na biquadrática

Na biquadrática universal SM da Fig. 2-11, a tensão de saída em função das tensões de *offset* dos amp-ops é (Apêndice E):

$$V_{OB2}^{\phi} = -\frac{(V_{11} - V_{12})}{\omega_o T} \left[ 2 + \frac{1}{Q} + \frac{K_{BP}}{Q} \right] + 2V_{12} \quad (4-5)$$

onde  $V_{11}$  e  $V_{12}$  são as tensões de *offset* de  $A_{11}$  e  $A_{12}$ , respectivamente,  $Q$  é o fator de qualidade e  $K_{BP}$  é o ganho da entrada passa-faixa.

De acordo com (4-5), a tensão DC de saída é função somente das tensões de *offset* dos amp-ops do primeiro estágio da biquad (i. e., as tensões de *offset* de  $A_{21}$  e  $A_{22}$  não são importantes). De fato, a presença de tensões de *offset* em  $A_{21}$  e  $A_{22}$  produzem correntes DC na entrada do segundo integrador da biquadrática, uma entrada passa-alta, e assim estas correntes DC são eliminadas.

É também importante notar que quanto mais próxima estiver a frequência central da frequência de amostragem (i. e., quanto maior for  $\omega_o T$ ), menor será a tensão DC de saída. Contudo, quanto maior for  $\omega_o T$ , maior será o erro de mapeamento. Assim, a tensão DC de saída deverá ser minimizada através de algum esquema de compensação de *offset* para permitir que se possa utilizar um pequeno  $\omega_o T$ .

## 4.3 Conversores tensão/corrente e corrente/tensão

Circuitos SM processam sinais em corrente. Portanto, se os sinais de entrada e saída de um determinado sistema forem em tensão, conversores v/i e i/v são necessários. A Fig. 4-1 mostra um conversor v/i que pode ser empregado em circuitos SM [30]. A tensão de polarização  $V_X$  é determinada por um divisor de tensão composto da conexão série de dois

transistores n-MOS idênticos, um conectado ao potencial positivo da fonte de alimentação e o outro conectado ao potencial negativo da fonte de alimentação, e com as portas dos dois transistores conectadas a  $V_{DD}$ , conforme explicado no Capítulo 2. A tensão  $V_X$  no nó intermediário da associação série está mais próxima de  $V_{SS}$  do que de  $V_{DD}$  (ver Fig. 2-5). O conversor v/i da Fig. 4-1 apresenta uma desvantagem grande: a excursão de tensão de  $v_{in}$  no sentido negativo é menor do que a no sentido positivo, visto que  $V_X$  está muito mais próxima de  $V_{SS}$  do que de  $V_{DD}$ . Uma estrutura alternativa que evita esta desvantagem e portanto permite um aumento significativo na faixa dinâmica do filtro é mostrada conceitualmente na Fig. 4-2 e é similar à proposta apresentada em [43].

No circuito da Fig. 4-2, a fonte de corrente  $-V_X/R$ , Deve ser independente da tecnologia. Tal circuito é mostrado na Fig. 4-3. A corrente  $-V_X/R$  flui através de  $R$  e  $M_{X1}$ . Com  $M_{X1} \equiv M_{X2}$ , a corrente em  $M_{X2}$  é também  $-V_X/R$ , porque os dois transistores estão sob o mesmo conjunto de potenciais.

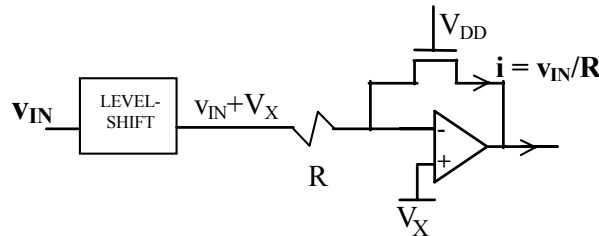


Fig. 4-1. Conversor v/i SM usado em [30].

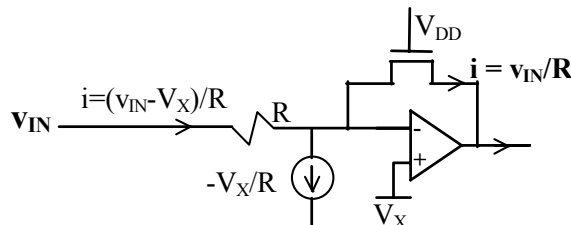


Fig. 4-2. Conversor v/i SM aperfeiçoado.

O conversor tensão/corrente completo é apresentado na Fig. 4-4. Note que a fonte de corrente que foi incluída no conversor v/i pode ser aplicada a qualquer tecnologia e sua



precisão relativa depende de casamento entre os transistores e das propriedades dos amplificadores operacionais.

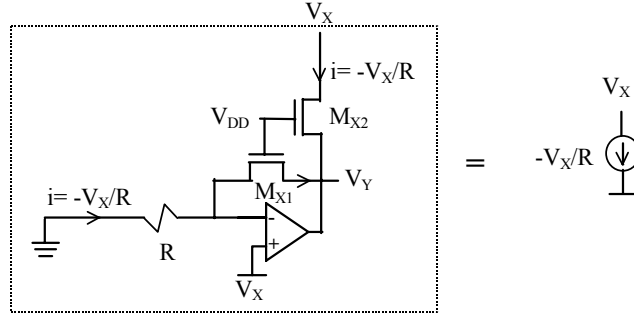


Fig. 4-3. Fonte de corrente  $-V_X/R$  para o conversor  $v/i$ .

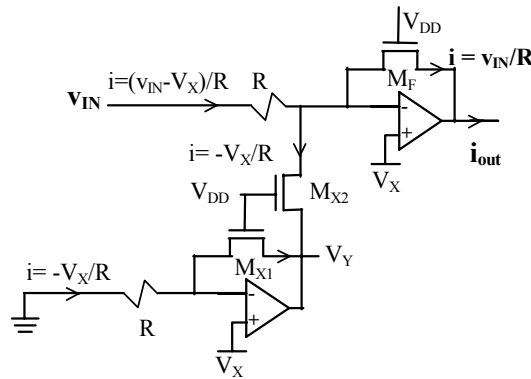


Fig. 4-4. Conversor  $v/i$  completo.

O conversor  $i/v$  é o circuito complementar ao conversor  $v/i$  e é mostrado na Fig. 4-5.

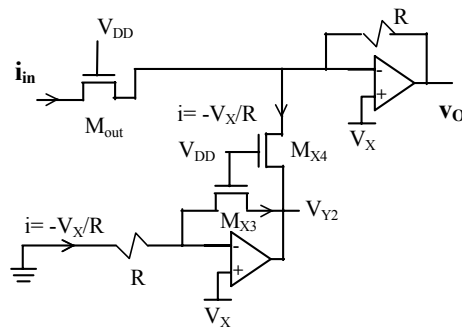


Fig. 4-5. Conversor  $i/v$  completo.

O ganho DC finito do amp-op é a principal causa de distorção nos conversores  $v/i$  e  $i/v$ . A distorção harmônica em função do ganho DC finito do amp-op é dada por (Apêndice F):

$$i_{O(t)} = \frac{V_X}{A} \left[ \frac{1}{R} + 2\sqrt{2}KV_P \right] + \frac{\hat{V}}{R} \cos(\omega t) - \frac{\hat{V}^2}{R^2} \frac{1}{4AI_{max}} \left[ 1 + \frac{1}{2\sqrt{2}RKV_P} \right] \cos(2\omega t) + \frac{\hat{V}^3}{R^3} \frac{1}{16AI_{max}^2} \left[ 1 + \frac{1}{2\sqrt{2}RKV_P} \right] \cos(3\omega t) \quad (4-6)$$

onde  $\frac{\hat{V}}{R} \leq I_{max}$ .

Come exemplo, considerando-se para um conversor v/i tensão de alimentação de 1,5V, tecnologia CXE 0,8μm da AMS, transistores 10μm/20μm, resistores de 200kΩ e amp-ops com ganho DC  $A=100$ , tem-se:  $(I_{OS}/I_{Omax}) = 4,4\%$  e  $THD = 0,15\%$  para  $(\hat{V}/R) = 0,5I_{max}$ .

#### 4.4 Sumário

Neste capítulo, alguns aspectos práticos envolvendo a técnica de MOSFET chaveado foram considerados. Na seção 4.2, foi analisada a influência da tensão de *offset* dos amp-ops nos integradores e na biquadrática universal SM. Nesta última, o *offset* de saída é proporcional à diferença entre as tensões de *offset* dos amp-ops do primeiro estágio e inversamente proporcional a  $\omega_o T$ . Como  $\omega_o T$  não pode ser feito muito grande devido a erros de mapeamento e devido ao teorema de Nyquist, técnicas de compensação de *offset* devem ser usadas ao menos no primeiro estágio da biquad.

Em algumas aplicações, o uso de conversores tensão/corrente e/ou corrente/tensão pode ser requerido. Na seção 4.3, foram apresentados conversores SM tensão/corrente e corrente tensão.

# *Implementação de estruturas básicas MOSFET chaveado*

# 5

## 5.1 Introdução

Um breve sumário do que foi desenvolvido até agora com a técnica de MOSFET chaveado é o seguinte. Em [26], a técnica de MOSFET chaveado foi introduzida e uma célula de meio atraso e integrador foram apresentados. Em [27], foram apresentadas versões aperfeiçoadas da célula de meio atraso e do integrador. Estes são a célula de meio atraso da Fig. 2-3 e o integrador de primeira geração da Fig. 2-7. Um protótipo do integrador foi construído com transistores integrados n-MOS e amp-ops, chaves e capacitores discretos. Em [28], um integrador SM de segunda geração, como o mostrado na Fig. 2-9, e um filtro SM de segunda ordem foram apresentados e implementados. A implementação do integrador foi executada com amplificadores operacionais TL 082, transistores n-MOS integrados ( $W=48\mu\text{m}$ ,  $L=1,2\mu\text{m}$ ), chaves n-MOS CD 4007 e capacitores de retenção de  $1,8\text{nF}$ . A programação foi realizada através de um MOCD de 6 bits integrado em uma matriz *Sea of Transistors* (SoT) na tecnologia  $1,2\mu\text{m}$  da ES2. O filtro é a seção biquadrática mostrada na Fig. 2-11. Um protótipo discreto do mesmo foi implementado com os transistores substituídos por resistores e a programação foi feita através do escalamento das resistências. Em [29, 30], um filtro de resposta finita ao impulso (FIR), *single-ended*, para ser utilizado em arquiteturas de equalização, foi

integrado e testado. A célula básica do filtro FIR é a célula de meio atraso da Fig. 2-3. O filtro foi integrado na tecnologia CMOS de  $0,8\mu\text{m}$  da AMS. Em [30], um filtro FIR completamente balanceado (*fully balanced*) foi projetado e integrado, também utilizando-se tecnologia CMOS de  $0,8\mu\text{m}$  da AMS.

Como pode ser visto pelo que foi relatado acima, somente filtros FIR SM foram integrados. Estes filtros não usam nem integradores nem biquadráticas. Os integradores SM foram testados somente em nível de simulação e através de protótipos discretos, mas não integrados. O mesmo é válido para a biquad. Portanto, é necessário integrar estas estruturas para provar sua funcionalidade plena. Neste capítulo, relata-se sobre a integração de tais estruturas e também de outras estruturas importantes como os conversores v/i e i/v apresentados no Capítulo 4.

Através de uma cooperação com a Universidade de Tecnologia de Delft (TUDelft), um *chip* foi feito usando-se o processo CMOS *in-house* de  $1,6\mu\text{m}$ . O *chip* implementado contém um conversor v/i, uma célula de meio atraso, uma biquadrática (incluindo compensação de *offset* por AZ e MOCDs para programação) e um conversor i/v, formando assim um filtro passa-baixa programável onde tanto a saída como a entrada são tensões. A tensão de alimentação escolhida para os circuitos é 1,5V.

Na seção 5.2, é apresentado o projeto do amplificador operacional classe A para ser usado no *chip*, utilizando-se as equações do modelo de MOSFETs ACM [8]. Na seção 5.3, é analisado o estágio de saída do amp-op no contexto da técnica SM. Para evitar que os transistores de saída dos amp-ops deixem a região de saturação, propõe-se o uso de uma tensão de polarização levemente mais elevada do que a definida no Capítulo 2. A seção 5.4 descreve o *chip* propriamente dito, com ênfase nas estruturas integradas. A seção 5.5 enfoca os resultados dos testes. Finalmente, na seção 5.6, algumas conclusões são apresentadas.

## 5.2 Amplificador operacional

Na técnica de MOSFET chaveado, todos os amplificadores operacionais operam com tensão de modo comum constante muito próxima a  $V_{SS}$ . Portanto, o projeto do amp-op é simples e mesmo um simples amplificador Miller como o mostrado na Fig. 5-1 opera com alimentação de 1,5V. Contudo, optou-se por utilizar o amp-op da Fig. 5-2 [6, 43] para o filtro SM por duas razões: i) seus ganho e largura de banda são maiores do que aqueles do amp-op Miller; e ii) o mesmo opera bem com tensão de alimentação tão baixa como 1V [6, 43].

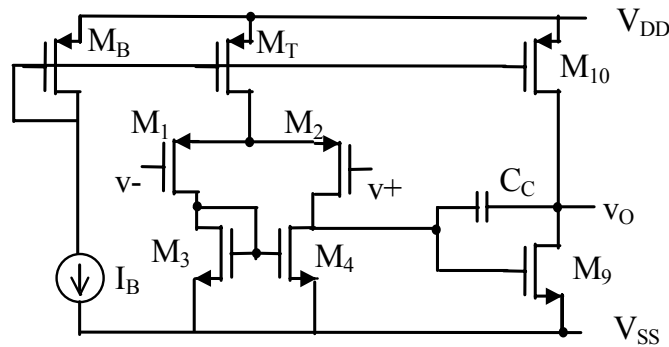


Fig. 5-1. Simple amp-op classe A Miller.

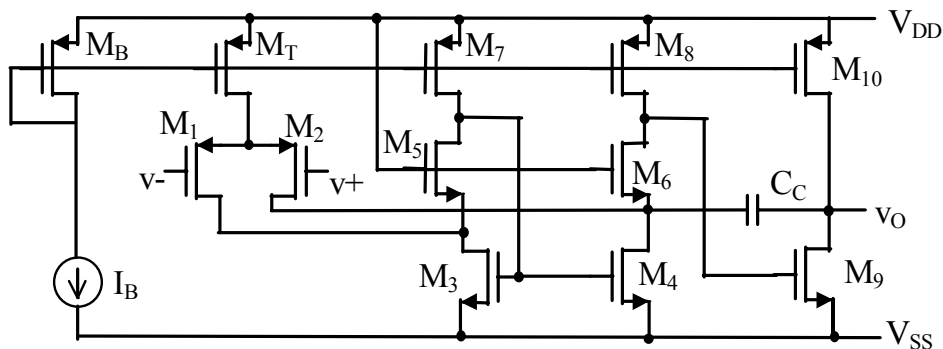


Fig. 5-2. Amp-op classe A para baixa tensão [6, 43].

O amp-op da Fig. 5-2 foi projetado utilizando-se as equações do modelo de MOSFET ACM [8], descritas em termos das densidades de corrente do transistor. As equações ACM que foram utilizadas para o projeto do amp-op são mostradas de (5-1) a (5-4):

$$\frac{W}{L} = \frac{I_F}{i_f I_{SQ}} \quad (5-1)$$

onde  $I_F$  é a corrente direta,  $i_f$  é a corrente direta normalizada, e  $I_{SQ}$  é a corrente de normalização de folha, a qual depende do processo. Para AMS 0,8 $\mu$ m CXE, por exemplo,  $I_{SQ\_N} \cong 42\text{nA}$  e  $I_{SQ\_P} \cong 14\text{nA}$ ;

$$g_m = \frac{2n}{\phi_t} \left( \frac{I_F}{1 + \sqrt{1 + i_f}} \right), \quad (5-2)$$

$$GBW = \frac{g_{m1}}{2\pi C_c} = \frac{g_{m1}}{2\pi C_c}, \quad (5-3)$$

$$v_{DSsat} \cong \phi_t \left( \sqrt{1 + i_f} + 3 \right) \quad (5-4)$$

Em (5-3),  $g_{m1}$  é a transcondutância do primeiro estágio. Para um casamento melhor no par diferencial, foi usado  $i_{f1} = i_{f2} = 1$  ( $i_{fi}$  é a corrente normalizada direta do transistor  $M_i$ ), porque quanto mais próximo da inversão fraca, menor a tensão de *offset* sistemática. Para os espelhos de corrente,  $i_{fB} = i_{fT} = i_{f7} = i_{f8} = i_{f10} = 8$  foram utilizados. Para  $M_3$ ,  $M_4$  e  $M_9$ , níveis de inversão menores ( $if=4$ ) foram utilizados de modo a obter-se uma tensão de saturação menor para o transistor  $M_9$ ,  $v_{DSsat9}$ . As definições da Tabela 5-1 foram utilizadas para o projeto do amp-op e do filtro SM.

Tabela 5-1. Definições para o projeto do amp-op e do filtro SM.

Tensão de alimentação	1,5V
Excursão de tensão de entrada máxima	$\pm 0,5\text{V}$
Resistor para conversão V/I	400k $\Omega$
$\hookrightarrow$ corrente de operação por carga	1,25 $\mu$ A
Transistores de referência	10 $\mu$ m/20 $\mu$ m
Chaves	2,0 $\mu$ m/0,8 $\mu$ m
$\hookrightarrow R_{\text{transistores}}/R_{\text{chaves}}$	5
Capacitores de retenção	5pF
Capacitor de compensação do amp-op	$C_C = 0,24C_h = 1,2\text{pF}$
Geração de $V_X$ “elevado” (seção 5.3)	$V_{Xh} = 0,42V_P$
Frequência de amostragem, $f_S$	64kHz
GBW	$\geq 640\text{kHz}$

A escolha de alguns dos parâmetros da Tabela 5-1 foi baseada em fatores como tempo de estabelecimento, injeção de carga e ruído.

De (5-5), obtém-se o  $g_{mII}$  mínimo para o amp-op [45]:

$$t_S = \left[ \frac{3g_{ms} + g_{mII}}{2\pi GBW g_{mII}} + \frac{C_h}{g_{ms}} \right] \ln(1/\gamma) \quad (5-5)$$

onde  $g_{mII}$  é a transcondutância do segundo estágio e  $t_S$  é o tempo para estabelecimento dentro de um determinado erro  $\gamma$ . Por segurança, considera-se disponível para estabelecimento apenas 60% do tempo de amostragem, i. e.,  $t_S = 4,7\mu s$ . Assim,

$$g_{mII} \geq 2,8\mu S$$

de acordo com (5-5).

No filtro SM, são utilizados amp-ops com carga de 1, 2 ou 4 transistores, dependendo da função do amp-op. No projeto para carga de 1 transistor, a corrente quiescente no estágio de saída  $I_Q = 2,5\mu A$  (100% de margem de segurança, i.e., a corrente de saída é de duas vezes a corrente de pico na carga); para carga de 2 transistores,  $I_Q = 4\mu A$  (margem de segurança de 60%); e para carga de 4 transistores,  $I_Q = 7\mu A$  (margem de segurança de 50%), respectivamente.

A corrente de polarização ( $I_B$ ) foi o último parâmetro a ser definido. Através de um processo iterativo projeto/simulação, chegou-se a  $I_B = 0,6\mu A$  como um valor adequado para as especificações da Tabela 5-1. A Tabela 5-2 resume as larguras para os transistores e outros parâmetros elétricos para o amp-op (o comprimento de canal  $L$  é de  $4\mu m$  para todos os transistores).

A Fig. 5-3 apresenta a resposta de frequência para o amp-op com carga de 1 transistor.

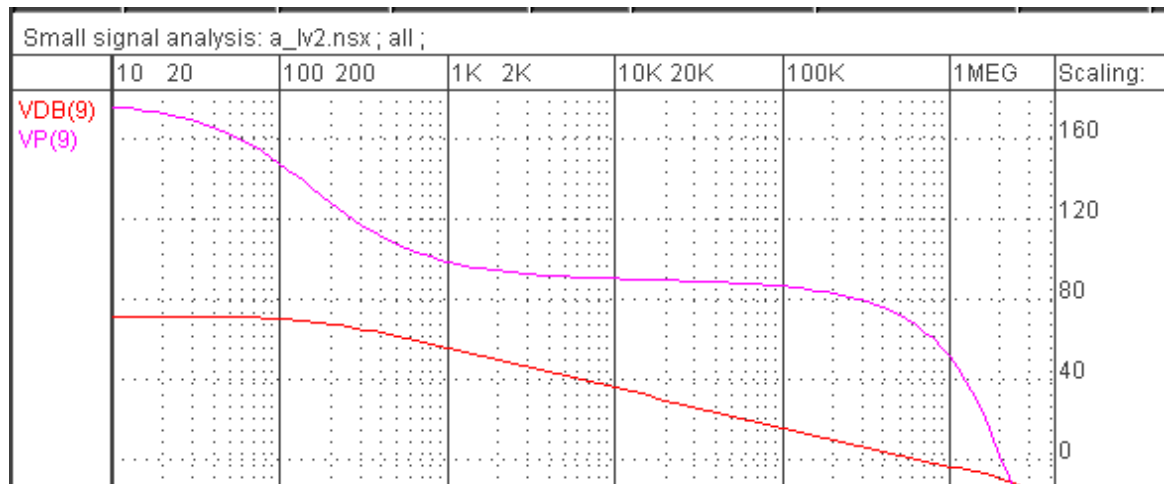


Fig. 5-3. Resposta de frequência do amp-op classe A de baixa tensão para carga de 1 transistor.

Tabela 5-2. Valores obtidos para os amp-ops classe A (Fig. 5-2).

M <sub>1</sub> , M <sub>2</sub>	W=76μm
M <sub>3</sub> , M <sub>4</sub>	W=11,7μm
M <sub>5</sub> , M <sub>6</sub>	W=6,8μm
M <sub>7</sub> , M <sub>8</sub>	W=9,5μm
M <sub>B</sub> , M <sub>T</sub>	W=19μm
M <sub>9</sub> (para 1 t. de carga)	W=57μm
M <sub>10</sub> (para 1 t. de carga)	W=79μm
M <sub>9</sub> (para 2 t. de carga)	W=91,1μm
M <sub>10</sub> (para 2 t. de carga)	W=128,5μm
M <sub>9</sub> (para 4 t. de carga)	W=159,6μm
M <sub>10</sub> (para 4 t. de carga)	W=221,2μm
g <sub>ml</sub> (calculado)	12,4μS
g <sub>mlI</sub> (calculado, 1 t. de carga)	77μS
GBW (calculado, 1 t. de carga)	1,65MHz
GBW (simulado, 1 t. de carga)	950kHz
GBW (simulado, 2 t. de carga)	850kHz
GBW (simulado, 4 t. de carga)	700kHz
A <sub>v0</sub> (simulado, 1 t. de carga)	72,5dB
A <sub>v0</sub> (simulado, 2 t. de carga)	73,5dB
A <sub>v0</sub> (simulado, 4 t. de carga)	72dB
PM (simulado, 1 t. de carga)	63°
PM (simulado, 2 t. de carga)	65°
PM (simulado, 4 t. de carga)	66°
Consumo (sim., 1 t. de carga)	6,5μW
Consumo (sim., 2 t. de carga)	9,2μW
Consumo (sim., 4 t. de carga)	14,5μW



### 5.3 Alterando a tensão de polarização

De acordo com o que foi abordado no Capítulo 2, a tensão de polarização  $V_X$  não somente garante a operação das chaves fora do *gap* de condução mas também permite que tenha-se máxima excursão de corrente nos dois sentidos. Como mostrado na Fig. 2-5, a tensão de dreno é  $GND$  ou  $V_{DD}$  se a corrente é  $-I_{max}$  ou  $I_{max}$ , respectivamente. Contudo, a máxima corrente no transistor MOS que opera como conversores v/i e i/v não pode ser  $I_{max}$  em função dos seguintes problemas:

- 1- Tensão de *offset* do amp-op;
- 2- Desvios dos parâmetros dos MOSFETs de seus valores nominais;
- 3- A faixa de tensão de saída do amp-op.

Uma possível solução para evitar que a saída do amp-op sature para o potencial positivo ou para o potencial negativo é limitar a corrente de entrada do transistor que desempenha a conversão v/i (Fig. 2-3) a 80% de  $I_{max}$ . Para clarificar, considere o seguinte exemplo. Utilizando-se tecnologia AMS 0,8 $\mu$ m, transistores de 10 $\mu$ m/20 $\mu$ m e tensão de alimentação de 1,5V, resulta em  $V_X - V_{SS} = 165$ mV. Isto significa que, com  $V_{Dssat9}$  ( $M_9$ , Fig.5-2) projetado para cerca de 130mV (ver equação 5-4), a excursão negativa de tensão para vários amp-ops seria limitada a 35mV para evitar que  $M_9$  deixe a região de saturação. Uma solução para evitar que  $M_9$  entre na região triodo é operar a célula SM com uma tensão  $V_X$  mais elevada. Utilizando-se o circuito de geração de  $V_X$  “elevado” da Fig. 5-4, seria possível operar (desprezando-se descasamentos) com 66% de  $I_{max}$  no sentido positivo e 133%  $I_{max}$  no sentido negativo se a saída do amp-op pudesse excursionar entre  $V_{DD}$  e  $GND$ . Pode-se então agora operar com uma corrente de entrada de pico  $I_{op} = 0,5I_{max}$  (ver Fig. 2-3) e será ainda obtida uma boa margem de segurança para  $i_{in}$  negativo

$[(0,5/0,66)=75\%]$ , e os transistores de saída permanecem na região de saturação para  $i_{in}$  positivo.

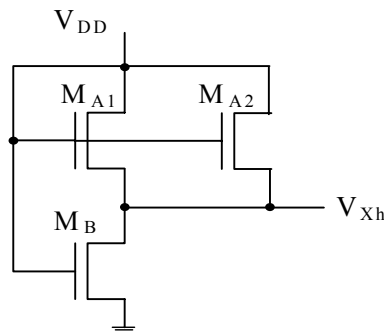


Fig. 5-4. Geração de  $V_X$  “elevado” com transistores idênticos.

$$V_{Xh} = V_P(1 - 1/\sqrt{3}).$$

## 5.4 Implementação do filtro SM usando DIMOS

A cooperação com a Universidade de Tecnologia de Delft trouxe a possibilidade de utilizar o processo CMOS DIMOS 01, disponível no DIMES (*the Delft Institute of Microelectronics and Submicron Technology*). DIMOS 01 é um processo CMOS de 1,6 micron, adotado da Philips. Desta forma, o projeto do filtro SM (e do amp-op) foram adaptados para este processo. As mínimas dimensões dos transistores no processo DIMOS 01 são  $2,4\mu\text{m}/1,6\mu\text{m}$ . Assim, estas são as dimensões a ser usadas nas chaves. Também, devido à pequena resistência de folha,  $25\Omega/\square$ , decidiu-se por utilizar valores menores para os resistores do que os definidos na Tabela 5-1 nos conversores v/i e i/v. A Tabela 5-3 resume as novas definições para o filtro SM e o amp-op a serem utilizados com DIMOS 01. A Tabela 5-4 mostra as novas dimensões do amp-op classe A, assim como os resultados de simulações para o mesmo.

Para todas as simulações para o DIMOS 01, foram utilizados modelos de MOSFETs Philips nível 9 e o simulador Pstar (da Philips) sob o ambiente Cadence/Analog Artist.

O leiaute dos circuitos usados no filtro SM foi realizado com o programa Cadence/Virtuoso editor. O leiaute do amp-op classe A é mostrado na Fig. 5-5. O mesmo ocupa uma área de  $295\mu\text{m} \times 265\mu\text{m}$ .

Tabela 5-3. Definições para o projeto do amp-op e do filtro com DIMOS 01.

Tensão de alimentação	1,5V
Máxima excursão de tensão de entrada	$\pm 0,2\text{V}$
Resistor para conversão V/I	$200\text{k}\Omega$
$I_{>}$ corrente de operação por carga	$1\mu\text{A}$
Transistores de referência	$10\mu\text{m}/20\mu\text{m}$
Chaves	$2,4\mu\text{m}/1,6\mu\text{m}$
$I_{>}$ $R_{\text{transistores}}/R_{\text{chaves}}$	3
Capacitores de retenção	5pF
Capacitor de compensação do amp-op	$C_c = 0,24C_h = 1,2\text{pF}$
Geração de $V_{Xh}$ “elevado” (seção 5.3)	$V_{Xh} = 0,27\text{V}$
Frequência de amostragem, $f_s$	50kHz
GBW	$\geq 500\text{kHz}$

Tabela 5-4. Valores obtidos para os amp-ops classe A (Fig. 5-2) com DIMOS 01.

$M_1, M_2$	$W=152\mu\text{m}$
$M_3, M_4$	$W=11,8\mu\text{m}$
$M_5, M_6$	$W=6,8\mu\text{m}$
$M_7, M_8$	$W=10\mu\text{m}$
$M_B, M_T$	$W=20\mu\text{m}$
$M_9$ (para 1 t. de carga)	$W=47,2\mu\text{m}$
$M_{10}$ (para 1 t. de carga)	$W=80\mu\text{m}$
$M_9$ (para 2 t. de carga)	$W=70,8\mu\text{m}$
$M_{10}$ (para 2 t. de carga)	$W=120\mu\text{m}$
$M_9$ (para 4 t. de carga)	$W=130\mu\text{m}$
$M_{10}$ (para 4 t. de carga)	$W=220\mu\text{m}$
Todos os transistores	$L=8\mu\text{m}$
$I_B$	$0,5\mu\text{A}$
GBW (simulado, 1 t. de carga)	790kHz
GBW (simulado, 2 t. de carga)	810kHz
GBW (simulado, 4 t. de carga)	710kHz
$A_{v0}$ (simulado, 1 t. de carga)	75dB
$A_{v0}$ (simulado, 2 t. de carga)	95dB
$A_{v0}$ (simulado, 4 t. de carga)	82dB
PM (simulado, 1 t. de carga)	$60^\circ$
PM (simulado, 2 t. de carga)	$58^\circ$
PM (simulado, 4 t. de carga)	$60^\circ$
Consumo (sim., 1 t. de carga)	$3,5\mu\text{W}$
Consumo (sim., 2 t. de carga)	$5,5\mu\text{W}$
Consumo (sim., 4 t. de carga)	$7,1\mu\text{W}$

Para minimizar os efeitos de descasamento, técnicas de casamento [47] tais como *interdigitized stacked differential pair* (e.g., em  $M_1$  e  $M_2$ , Fig. 5-5), *common centroid* e camadas *dummy* de polisilício (e.g. em  $M_3$  e  $M_4$ , Fig. 5-5) foram usadas não somente no amp-op mas também em todo o filtro.

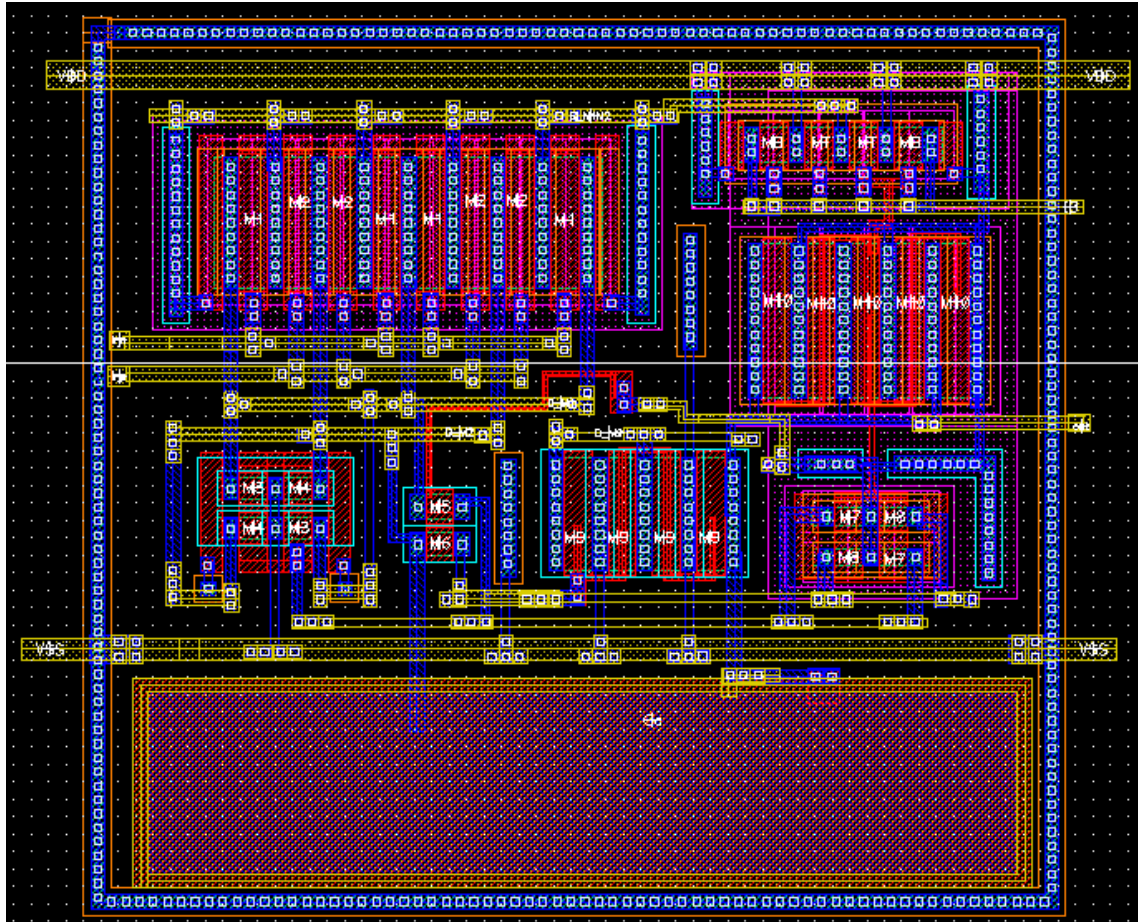


Fig. 5-5. Layout do amp-op classe A (carga de 4t) da Fig. 5-2.

Conforme foi citado na seção 5.1, o *chip* é composto de um conversor v/i, um filtro passa-faixa programável (através de MOCDs de 6 bits) e um conversor i/v. O esquemático simplificado para o filtro SM é mostrado na Fig. 5-6. Compensação de *offset* por auto-zero foi utilizada na biquadrática. O circuito de geração de  $V_{xh}$  foi implementado com transistores  $10\mu\text{m}/40\mu\text{m}$ , de acordo com o esquema mostrado na Fig. 5-4.

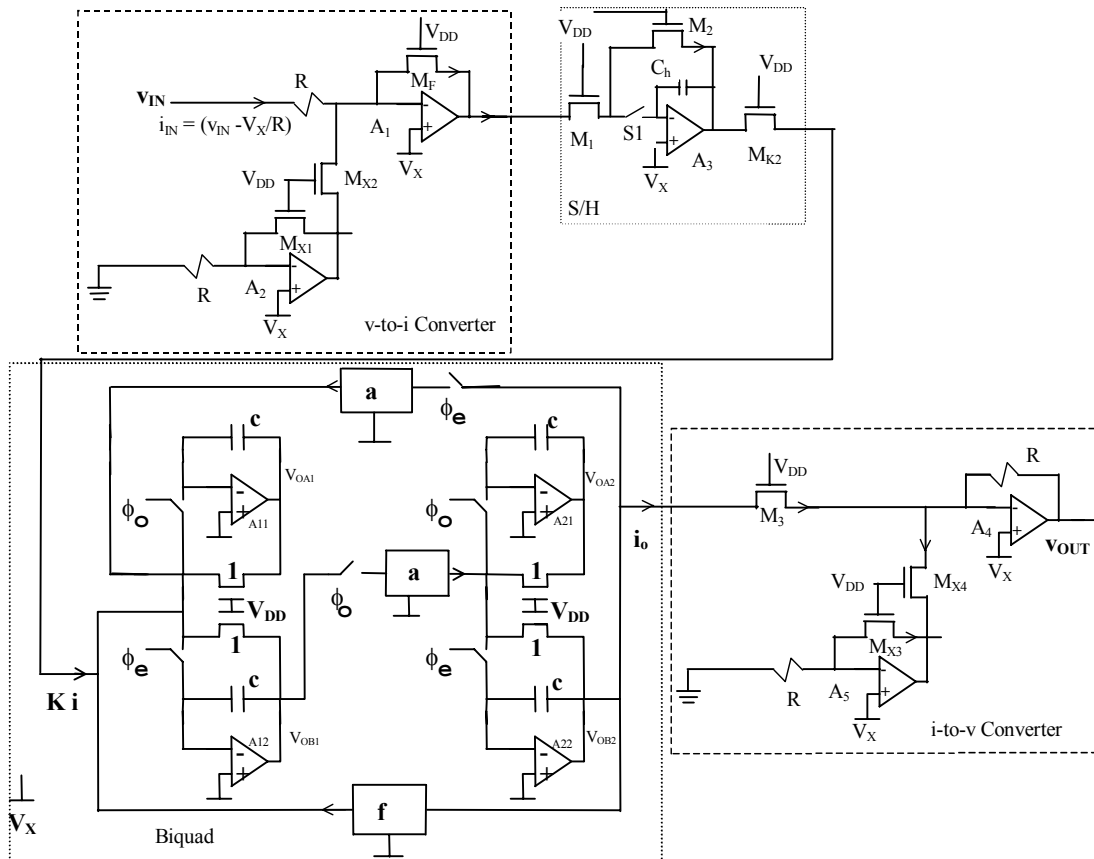


Fig. 5-6. Esquemático simplificado do filtro SM.

O leiaute para todo o filtro SM é mostrado na Fig. 5-7. O mesmo ocupa uma área de aproximadamente  $3600\mu\text{m} \times 1950\mu\text{m}$  com os *pads*.

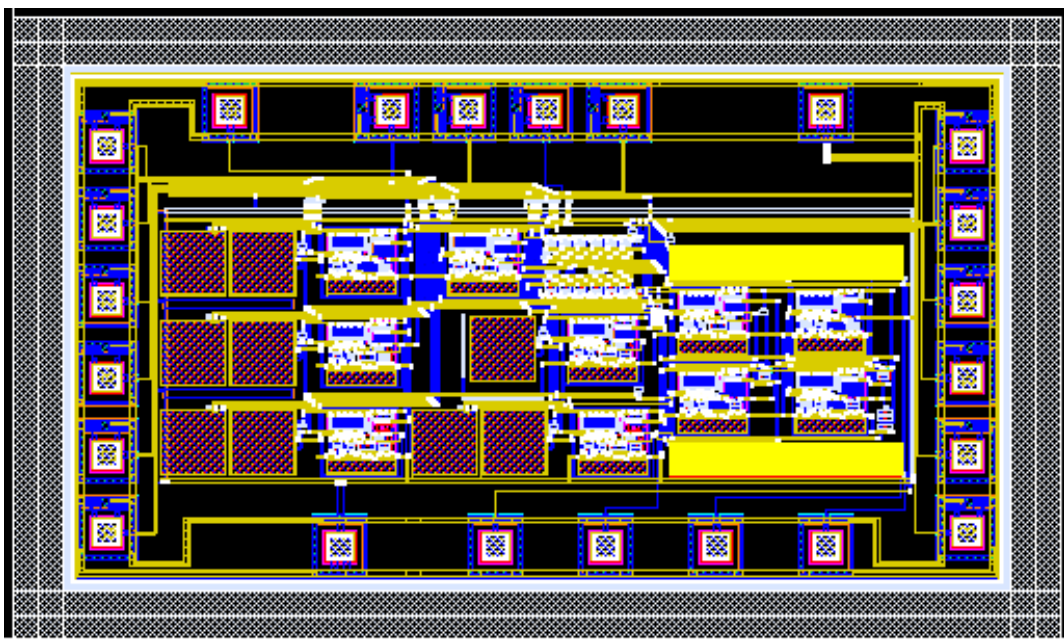


Fig. 5-7. Leiaute do filtro SM.

O *floorplan* para o filtro SM é mostrado na Fig. 5-8. Note a pequena área ocupada pelos dois MOCDs de 6 bits, responsáveis pela programação da frequência central do filtro. Os *pads* para as entradas digitais incluem diodos de proteção.

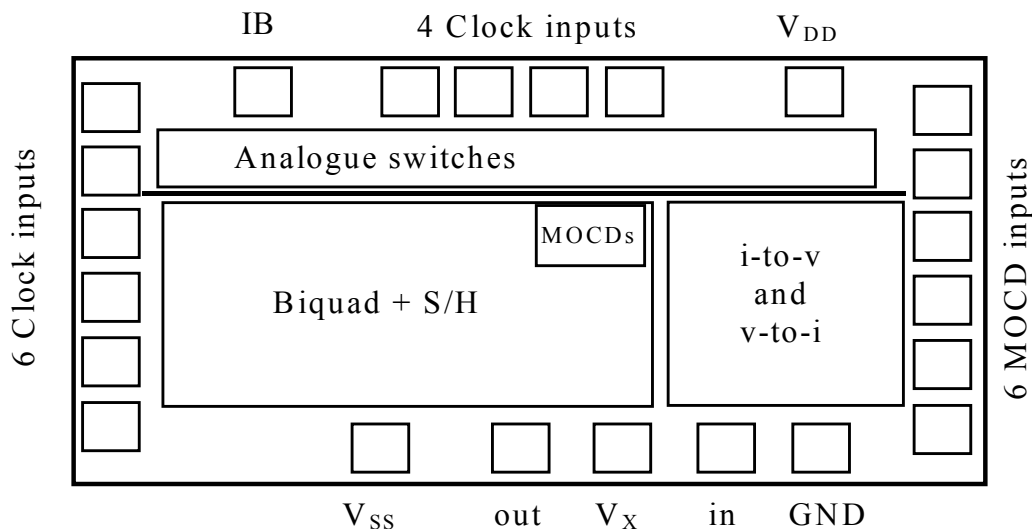


Fig. 5-8. Floorplan do filtro SM.

## 5.5 Resultados experimentais

Além do filtro SM, algumas estruturas de teste também foram integradas: transistores  $10\mu\text{m}/20\mu\text{m}$  e  $20\mu\text{m}/20\mu\text{m}$  e amp-ops para carga de 1, 2 e 4 transistores. As estruturas de teste possuem *pads* medindo  $120\mu\text{m} \times 120\mu\text{m}$ . Os resultados das medições para as estruturas de teste e para o filtro SM são apresentados nesta seção.

### 5.5.1 Medições nos amp-ops

Os amplificadores operacionais estão presente em todos os estágios do filtro SM. Portanto, o desempenho dos mesmos deve ser conhecido para um melhor entendimento do comportamento apresentado pelo filtro. De fato, alguns problemas foram identificados no desempenho dos amp-ops. Os mesmos são enfocados a seguir.

Diversas medições foram executadas nos amp-ops classe A para carga de 1 transistor (1tl), de 2 transistores (2tl) e de 4 transistores (4tl), em diversas amostras de cada. As medições DC foram executadas com o analisador de parâmetros HP 4145B. A Tabela 5-5 resume os resultados obtidos para as medições DC.

Tabela 5-5. Medições DC para os amp-ops DIMES.

Amp-op <sup>1</sup>	Tensão de <i>offset</i> de entrada	Ganho DC sem carga	Ganho DC com carga <sup>2</sup>
1tl – amostra 1	+171mV	76dB	50dB
1tl – amostra 2	+165mV	76dB	49dB
1tl – amostra 3	+21mV	75dB	49dB
1tl – amostra 4	-75mV	76dB	51dB
1tl – amostra 5	+60mV	77dB	52dB
2tl – amostra 1	+75mV	80dB	51dB
2tl – amostra 2	+90mV	82dB	52dB
4tl – amostra 1	+170mV	85dB	60dB
4tl – amostra 2	+175mV	85dB	61dB

1 – A corrente de polarização para todos os amp-ops foi estabelecida em 0,7μA.

2 – O transistor para teste de 10μm/20μm, transistor unitário no filtro SM, foi usado como carga.

As tensões de *offset* de entrada obtidas para os amp-ops foram muito maiores do que esperado. As mesmas foram muito menores (até 4mV) para os amp-ops implementados com tecnologia AMS (Capítulo 3), os quais usam a mesma topologia e foram projetados usando-se as mesmas metodologia e equações. Esta enorme tensão de *offset* de entrada apresentada pelos amp-ops DIMES impõe certas limitações. Por exemplo, considere o simples amplificador inversor de ganho unitário mostrado na Fig. 5-9. Os amp-ops foram projetados para operar com tensão de alimentação de 1,5V. Com  $V_{DD} = 1,5V$ , o gerador de  $V_X$  (Fig. 5-4) produz  $V_X = 0,24V$  (medido). Neste caso, com  $V_{OS} = 150mV$ , a tensão DC na entrada inversora do amp-op (Fig. 5-9) seria  $\cong 240mV - 150mV = 90mV$ . Isto impõe uma corrente DC em  $M_S$ . Com  $M_S = M_I$ , a tensão de saída DC seria  $90mV - 150mV$ , i.e., o amp-op satura no potencial negativo da alimentação (terra). Este efeito explica por que o filtro SM não pode operar com tensão de alimentação de 1,5V (próxima subseção). No filtro SM, somente a biquadrática apresenta esquemas de compensação de *offset*, de modo que os

outros estágios (i.e.,  $v/i$ ,  $i/v$  e célula de meio atraso) sofrem com esta enorme tensão de *offset* de entrada. O filtro SM começou a ser funcional com alimentação de 1,7V, mas níveis aceitáveis de distorção foram obtidos com  $V_{DD} = 2,2V$ . O valor medido de  $V_X$  para  $V_{DD} = 2,2V$  é 0,46V, o que coloca as tensões de saída DC em um valor mais alto..

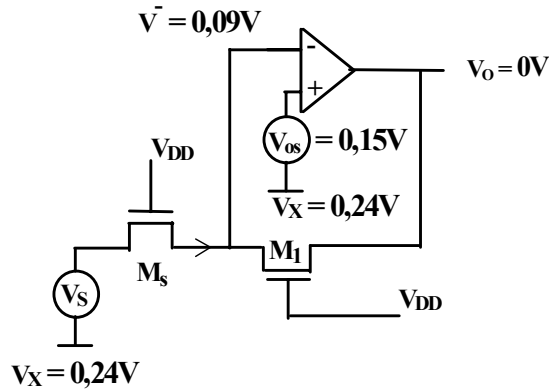


Fig. 5-9. Tensões DC em um simples inversor de ganho unitário com  $V_{OS}=150mV$

Com o amp-op operando com  $V_{DD} = 2,2V$ , a frequência de ganho unitário ( $f_u$ ) foi obtida a partir de uma configuração não-inversora de ganho unitário, como a mostrada na Fig. 3-17. O valor obtido foi  $f_u \cong 550kHz$ . A resposta em magnitude para o circuito é mostrada na Fig. 5-10.

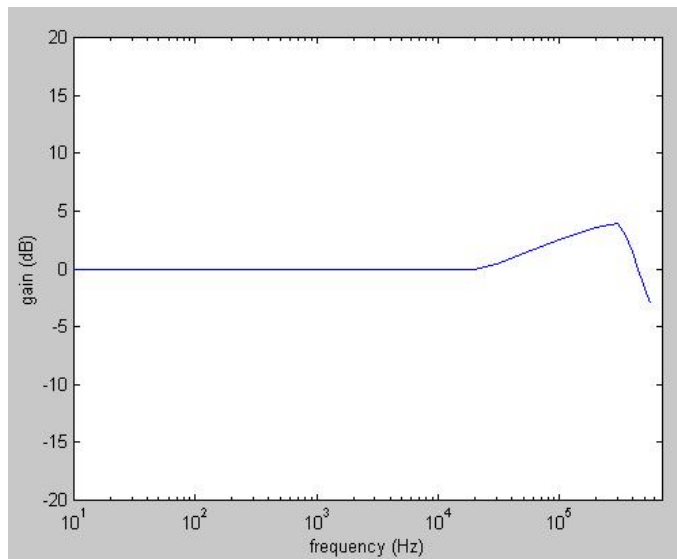


Fig. 5-10. Resposta em magnitude do amp-op DIMES na configuração não-inversora de ganho unitário.



Como pode ser visto na Fig. 5-10, há um pico indesejável na resposta em magnitude, típico de uma margem de fase pobre (o mesmo também aconteceu para o amp-op AMS que usa a mesma topologia, Capítulo 3). A margem de fase medida (PM) em 550kHz é de somente  $26^\circ$ . Circuitos SM, contudo, usam a configuração amplificadora inversora (Fig. 5-11), onde a margem de fase é melhorada devido ao fator de realimentação menor. Medições nesta configuração, usando-se resistores de  $180\text{k}\Omega$  para implementar um amplificador inversor de ganho unitário (Fig. 5-11), não registram pico na resposta em magnitude.

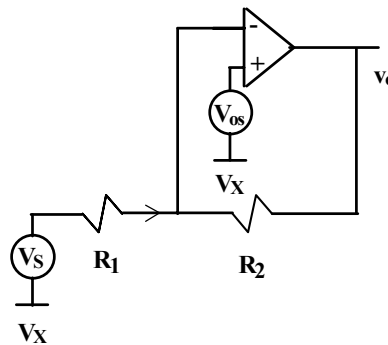


Fig. 5-11. Amplificador inversor.

É importante enfatizar que o filtro operou satisfatoriamente somente para tensões de alimentação de 2,2V devido à enorme tensão de *offset* apresentada pelos amp-ops, de acordo com o explicado acima. Contudo, com 2,2V de alimentação os amp-ops nesta topologia operam com os transistores  $M_5$  e  $M_6$  na região linear, o que contribui tanto para distorção como para redução em ganho.

### 5.5.2 Medições no filtro SM

Várias medições foram executadas no filtro SM. As respostas AC para várias palavras digitais no MOCDs são mostrada na Fig. 5-12. A Tabela 5-6 resume os resultados obtidos. Como pode ser visto na Tabela 5-6, algumas imperfeições foram detectadas

através das medições. Estas são o desvio ocorrido na frequência central, o erro no fator de qualidade  $Q$  e o erro de ganho. Contudo, nenhum destes erros é inaceitável visto que o filtro é programável. Em aplicações como o auxílio à audição, em geral o audiológico (ou o sistema propriamente dito) deve programar a resposta do filtro de acordo com a dificuldade de audição de cada paciente.

A Fig. 5-13 mostra as medições de ruído para o *chip*. Com um sinal de entrada máximo de  $200\text{mV}_{\text{peak}}$ , a faixa dinâmica atingida é  $63,8\text{dB}$ . Este valor está muito próximo ao valor calculado para a faixa dinâmica,  $66,8\text{dB}$ .

A máxima excursão de tensão medida na saída sem que ocorra *clipping* foi de  $\pm 450\text{mV}_{\text{peak}}$ . A Fig. 5-14 ilustra os resultados medidos de distorção em função da tensão de entrada para a frequência central ( $f_o$ ), a frequência de  $-3\text{dB}$  inferior ( $f_i$ ) e a frequência de  $+3\text{dB}$  superior ( $f_s$ ). A Tabela 5-7 resume os resultados obtidos. Os resultados são considerados adequados para a faixa de tensão de entrada especificada (até  $200\text{mV}_{\text{peak}}$ ).

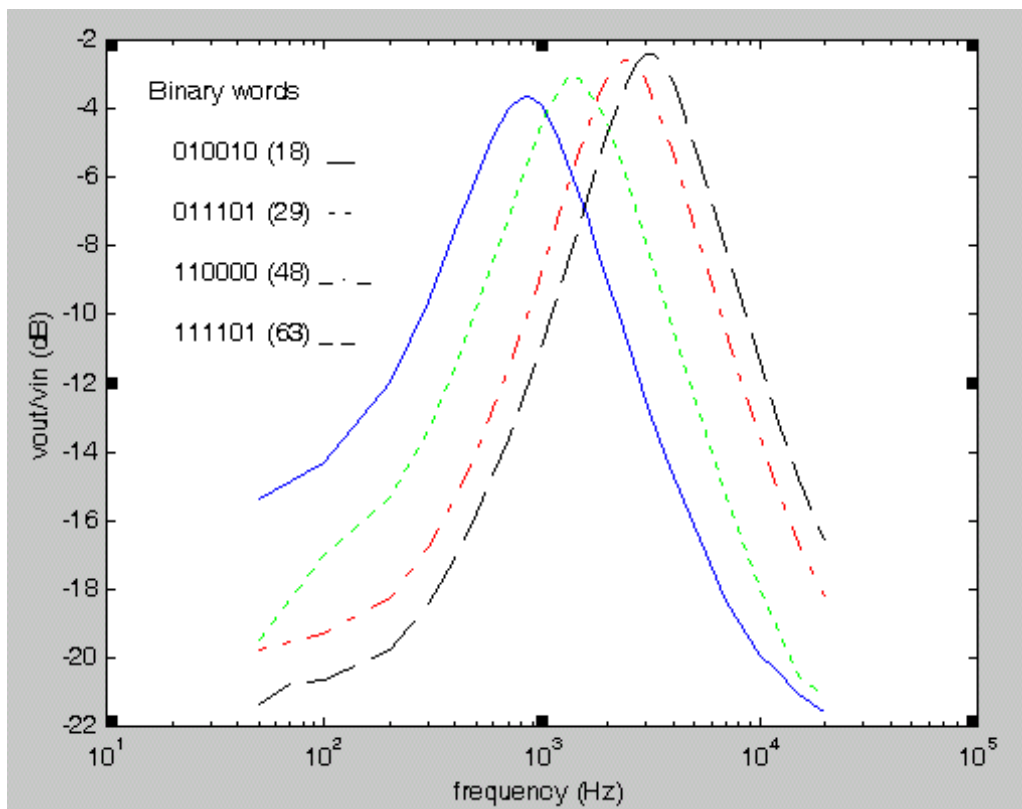


Fig. 5-12. Respostas AC medidas para várias palavras nos MOCDS.

Tabela 5-6. Detalhes da resposta AC.

Palavra digital (DW)	Frequência central $f_o$ calculada	Frequência central $f_o$ medida	erro em $f_o$	$Q$ calculado	$Q$ medido	erro em $Q$	Erro no ganho
010010 <sub>2</sub> = 18 <sub>10</sub>	1130 Hz	860 Hz	23,9%	0,92	0,81	- 13%	-3,6dB
011101 <sub>2</sub> = 29 <sub>10</sub>	1810 Hz	1400 Hz	22,6%	0,88	0,92	+ 4%	-3,1dB
110000 <sub>2</sub> = 48 <sub>10</sub>	3000 Hz	2420 Hz	19,3 %	0,81	0,90	+ 10%	-2,6dB
111101 <sub>2</sub> = 61 <sub>10</sub>	3834 Hz	3200 Hz	16,5 %	0,76	0,88	+ 13%	-2,4dB

Todas as medições acima foram executadas com tensão de alimentação de 2,2V. É importante enfatizar que o processo DIMOS 01 apresenta tensões de limiar maiores que 1V. A tensão de alimentação de 2,2V é então menor do que a soma de duas tensões porta-fonte e duas tensões de saturação, e portanto o filtro SM pode ser considerado um circuito para baixa tensão de alimentação [4].

O consumo total de corrente do filtro SM é 93 $\mu$ A. É ainda importante enfatizar que este consumo de corrente pode ser reduzido significativamente com o uso de amplificadores operacionais classe AB.

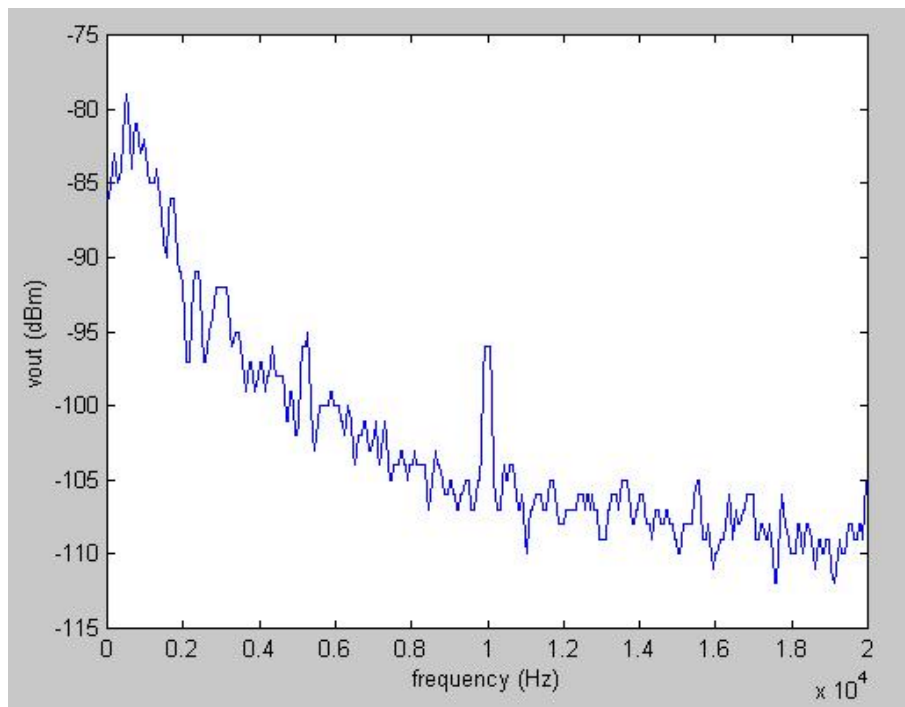


Fig. 5-13. Ruído medido.

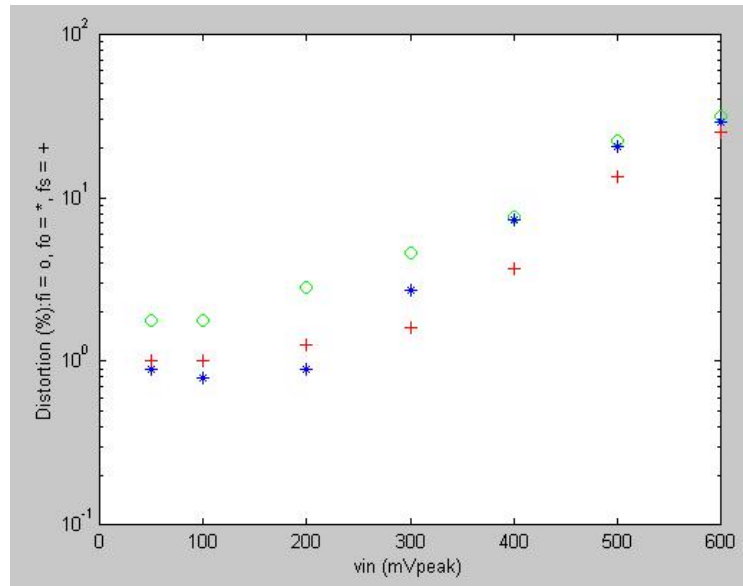


Fig. 5-14. Distorção medida.

Tabela 5-7. Resultados de distorção.

$v_{in}$ (mV <sub>peak</sub> )	50	100	200	300	400	500	600
Distorção em $f_i$ (%)	1,8	1,8	2,8	4,6	7,6	22,3	31,5
Distorção em $f_o$ (%)	0,9	0,8	0,9	2,7	7,3	22,7	29,1
Distorção em $f_s$ (%)	1	1	1,26	1,6	3,7	13,4	25,2

A Fig. 5-15 mostra a microfotografia para o chip.

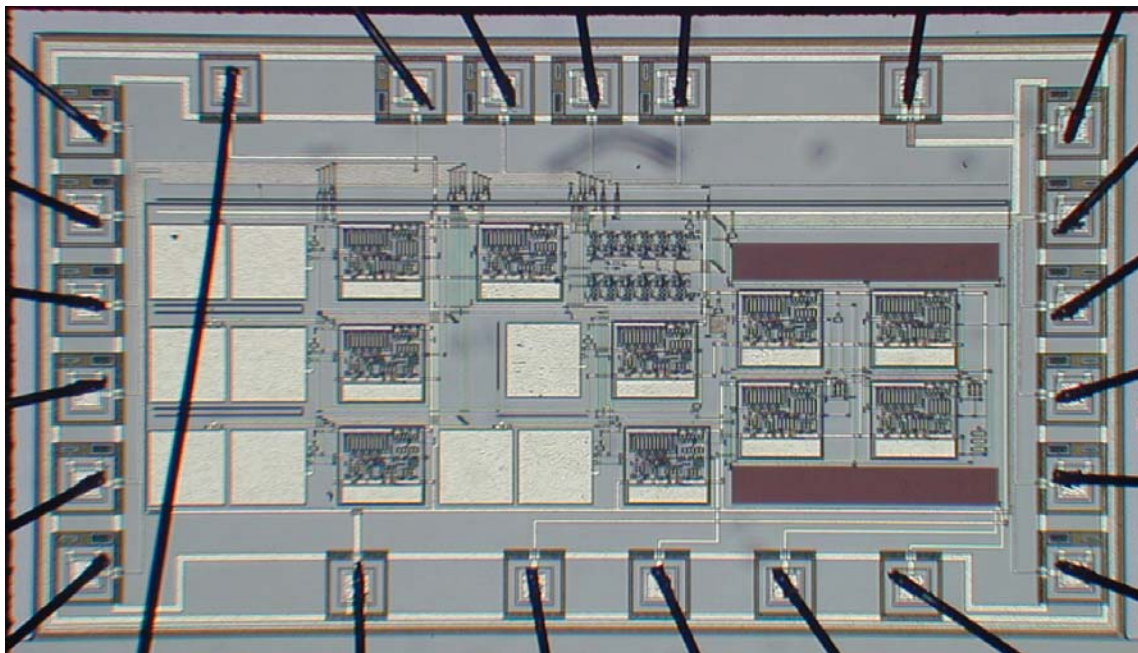


Fig. 5-15. Microfotografia para o chip.

## 5.6 Conclusões

Um filtro programável LVLP que pode ser aplicado em instrumentos de auxílio à audição foi descrito. O circuito contém um conversor  $v/i$ , uma célula de meio atraso, uma seção biquadrática e um conversor  $i/v$  e foi implementado em um processo CMOS de 1,6 micron. A programação é obtida através de MOCDs e não requer muita área de silício. Os resultados mostram a aplicabilidade da técnica de MOSFET chaveado como uma técnica alternativa para processamento de sinais LV em tempo discreto sem a necessidade de um processo especial.

Mesmo com os problemas identificados nos amp-ops, o filtro SM apresentou praticamente o desempenho esperado. É importante enfatizar a funcionalidade da estratégia de compensação de *offset* por auto-zero na biquadrática face à enorme tensão de *offset* de entrada apresentada pelos amp-ops.

Algumas das características não-ideais apresentadas pelo filtro são devido às imperfeições nos amp-ops. Contudo, seria interessante chegar-se a uma topologia de biquad onde não hajam chaves indesejadas em série com os MOCDs de programação. Para um filtro passa-faixa, isto pode ser obtido com o uso de integradores SM de primeira geração.



# *Conclusões e trabalhos futuros*

# 6

## 6.1 Conclusões

A técnica de MOSFET chaveado provou ser uma técnica alternativa para processamento de sinais em tempo discreto à baixa tensão de alimentação sem necessitar de processo especial ou de dobradores de tensão. A técnica SM apresenta simplicidade de projeto comparada com *switched-opamp*, a técnica SC para operação à baixa tensão. SM também caracteriza-se pela simplicidade de programação, fazendo uso dos MOCDs, componentes que demandam pouca área de silício.

O bloco básico de construção de circuitos SM é uma célula de meio atraso. Neste trabalho, foi desenvolvida uma análise da célula de meio atraso SM. Com relação à correção de *offset*, tempo de estabelecimento, ruído, injeção de carga e distorção harmônica, a técnica SM apresenta resultados similares àqueles obtidos pelas técnicas SC e SI convencionais.

Uma célula de meio atraso SM foi implementada e testada, usando-se um processo de 0,35 $\mu$ m da AMS. Os resultados medidos apresentam muito boa concordância com a teoria.

As principais imperfeições na célula SM de meio atraso estão relacionadas com imperfeições no amp-op. A tensão de *offset* do amp-op causa *offset* na corrente de saída que, por sua vez, afeta a faixa dinâmica dos circuitos, de modo que em algumas aplicações o uso de alguma técnica de correção de *offset* é necessário. Esquemas de compensação de *offset* foram propostos e analisados, e a técnica de auto-zero proposta apresenta melhores resultados do que a técnica CDS.

Conversores tensão/corrente e corrente/tensão para circuitos SM foram propostos e analisados, já que circuitos MOSFET chaveado processam correntes. O fato de processar correntes e não tensões não é em geral uma desvantagem. Em aplicações como circuitos de auxílio à audição, por exemplo, a saída é geralmente em corrente. Assim, em tais aplicações, SM necessita de um conversor v/i na entrada enquanto que uma técnica que processa tensões (como SC, por exemplo), precisa de um conversor i/v na saída (o *overhead* introduzido é portanto o mesmo para ambas as técnicas).

Um filtro de baixa tensão e baixa potência digitalmente programável que pode ser aplicado em instrumentos de auxílio à audição foi descrito testado. O circuito contém um conversor v/i, uma célula de meio atraso, uma seção biquadrática e um conversor i/v, e foi implementado em um processo CMOS de 1,6 micron. Com a topologia utilizada, a frequência central e o fator de qualidade podem ser controlados independentemente se a frequência de amostragem for muito maior do que a frequência central. A programação é obtida por meio de MOCDs e não requer muita área de silício, quando comparada com circuitos programáveis SC.

Os amp-ops do filtro apresentaram inesperadamente tensões de *offset* de entrada muito grandes. Por causa disto, o filtro, previamente projetado para operar a 1,5V, apresentou resultados melhores com 2,2V de alimentação.



Mesmo com os problemas identificados nos amp-ops, o filtro SM apresentou bom desempenho. No protótipo implementado, a frequência central é eficientemente controlada com MOCDs de 6 bits. O esquema de compensação de *offset* por auto-zero provou sua funcionalidade e compensou a grande tensão de *offset* apresentada pelos amplificadores operacionais na seção biquadrática.

## 6.2 Trabalhos futuros com MOSFET chaveado

Conforme comentado no Capítulo 5, seria interessante chegar-se a uma topologia de biquad na qual não hajam chaves indesejáveis em série com os MOCDs de programação. O desafio é encontrar uma topologia que permita a programação independente das diferentes características do filtro (frequência central, fator de qualidade e ganho).

Na técnica SM os amp-ops excitam cargas resistivas. Portanto, o uso de amp-ops classe AB provavelmente conduzirá a consumos de potência menores. Isto deve ser investigado para tornar a técnica SM ainda mais competitiva.

Ainda, seria importante implementar uma aplicação prática de baixa tensão e baixa potência com MOSFET chaveado em um processo CMOS bem conhecido e comparar os resultados com aqueles obtidos com outras técnicas. A aplicação poderia ser, por exemplo, o adaptador direcional para instrumentos de auxílio à audição implementado na Universidade de Tecnologia de Delft com circuitos translineares [48].

Até agora, o uso de circuitos SM em processamento não-linear de sinais não foi investigado. A facilidade de programação, junta com a capacidade linear/não-linear de processamento de sinal, pode fazer de SM uma técnica valiosa para competir na área de circuitos analógicos para baixa tensão e baixa potência.







## Apêndice A – Análise do circuito de auto-zero

Considere o circuito na Fig. A-1, o qual é o mesmo que na Fig. 3-6.

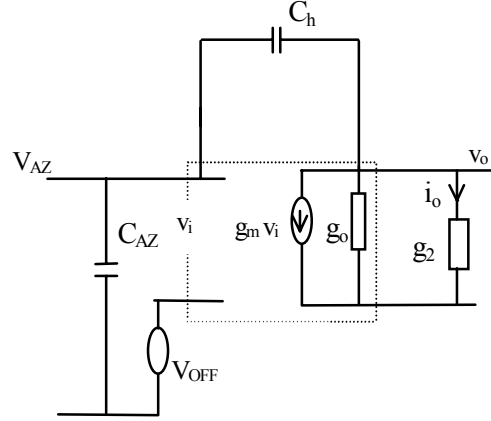


Fig. A-1. Circuito equivalente de pequenos sinais para a determinação de  $t_{az}$ .

Considerando-se para o amp-op uma transcondutância finita representada por uma função de pólo simples, isto é,  $g_m = g_m(s) = \frac{g_{mo}}{1 + s/\omega_1}$ , onde  $\omega_1$  é o pólo dominante do amplificador com carga, tem-se para o circuito na Fig. A-1:

$$\frac{V_{AZ}}{V_{OFF}} = \frac{1}{1 + \left[ \frac{(1 + K_a)g_L}{g_{mo}} \frac{1}{\omega_1} + \frac{C_{AZ}}{g_{mo}} \right] s + \frac{C_{AZ}}{g_{mo}} \frac{1}{\omega_1} s^2}. \quad (A-1)$$

onde  $K_a \equiv C_{AZ}/C_h$  e  $g_L = g_o + g_2$ .

O denominador de (A-1) pode ser reescrito como:

$$D(s) = 1 + \frac{2\xi}{\omega_o} s + \frac{1}{\omega_o^2} s^2 \quad (A-2)$$

onde  $\xi$  é o fator de amortecimento, o qual neste caso é dado por

$$\xi = \frac{1}{2} \sqrt{\frac{(1+K_a)^2}{\omega_u} \frac{g_L}{C_{AZ}}} \quad (\text{A-3})$$

A resposta mais lenta do circuito ocorre quando  $k > 1$  (resposta sobreamortecida).

Neste caso, tem-se para o erro de estabelecimento [42]:

$$\gamma = \frac{1}{2\sqrt{\xi^2 - 1}} \left( \frac{1}{\xi_1} e^{-\xi_1 \cdot \omega_o \cdot t_{az}} - \frac{1}{\xi_2} e^{-\xi_2 \cdot \omega_o \cdot t_{az}} \right) \quad (\text{A-4})$$

onde

$$\xi_1 \equiv \xi - \sqrt{\xi^2 - 1} \quad \text{e} \quad \xi_2 \equiv \xi + \sqrt{\xi^2 - 1} \quad (\text{A-4a})$$

Se  $4\xi^2 \gg 1$ , (A-4) pode ser aproximada por [42]

$$\gamma \cong e^{-\omega_o t_{az} / 2\xi} \quad (\text{A-5})$$

O valor mais elevado para  $\gamma$  aparece no caso em que a aproximação (A-5) é usada.

Assim, o uso de (A-5) favorece a segurança. De (A-1), (A-2) e (A-5) chega-se a

$$t_{az} \geq \frac{(1+K_a)g_L}{g_{mo}\omega_1} \ln(1/|\gamma|) = \frac{(1+K_a)}{\omega_u} \ln(1/|\gamma|) \quad (\text{A-6})$$

onde  $\omega_u$  é a frequência angular de ganho unitário do amp-op com carga.

## Apêndice B – Equações e simulações para tempo de estabelecimento na célula de meio atraso SM

### B.1 Chaves ideais e amp-op com largura de banda infinita

Neste caso, considere o circuito na Fig. B-1, o qual é o mesmo que na Fig. 3-11.

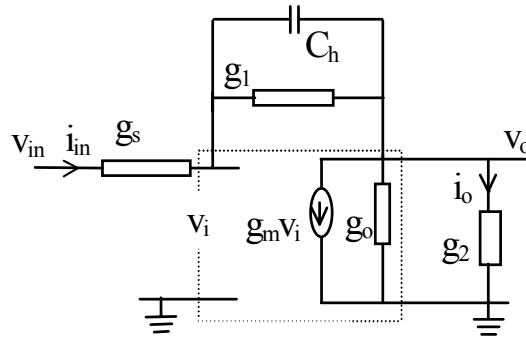


Fig. B-1. Circuito equivalente de pequenos sinais para a célula de meio atraso SM, chaves ideais e amp-op com largura de banda infinita.

A função de transferência para o circuito da Fig. B-1 é:

$$H(s) = \frac{v_o(s)}{v_{in}(s)} = \frac{-g_s [g_m - (g_1 + sC_h)]}{g_s g_L + g_1 (g_s + g_L + g_m) + sC_h (g_s + g_L + g_m)}. \quad (B-1)$$

onde  $g_L = g_2 + g_o$ .

A equação (B-1) pode ser reescrita como:

$$H(s) = \frac{N(s)}{1 + s\tau} \quad (B-2)$$

onde

$$N(s) = -\frac{g_s}{g_1} \frac{1 - g_1/g_m - sC_h/g_m}{1 + \frac{g_s + g_L + g_L g_s/g_1}{g_m}} \quad (B-2a)$$

e

$$\tau = \frac{C_h}{g_1} \frac{1}{1 + \frac{g_L g_s / g_1}{g_m + g_L + g_s}} \quad (\text{B-2b})$$

A operação correta do circuito S/H inversor ocorre se

$$g_m \gg g_s + g_L + g_L g_s / g_1 \quad (\text{B-3})$$

Ainda, considerando-se (B-3),

$$\tau \cong \frac{C_h}{g_1} \quad (\text{B-4})$$

E assim de (3-7) e (B-4) tem-se

$$C_h \leq g_1 t_{sam} \frac{1}{\ln(1/|\gamma|)} \quad (\text{B-5})$$

## B.2 Chaves reais e amp-op com largura de banda infinita

Neste caso considere o circuito na Fig. B-2.

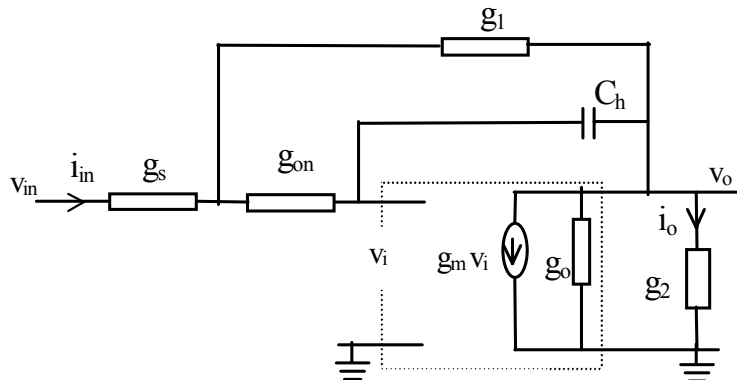


Fig. B-2. Circuito equivalente de pequenos sinais para a célula de meio atraso SM, chaves reais e amp-op com largura de banda infinita.



Do circuito na Fig. B-2, obtém-se:

$$\frac{v_o(s)}{v_{in}(s)} = \frac{-g_s [g_m g_{on} - g_{on} g_1 + s C_h (-g_{on} - g_1)]}{g_m g_{on} g_1 + g_{on} g_s g_1 + g_{on} g_s g_L + g_{on} g_1 g_L + s C_h (g_m (g_{on} + g_s + g_1) + g_{on} g_s + g_{on} g_L + g_s g_1 + g_s g_L + g_1 g_L)} \quad (B-6)$$

Fazendo-se as mesmas considerações que na seção B.1, tem-se:

$$\tau \cong \frac{C_h}{g_1} \left( 1 + \frac{g_1}{g_{on}} + \frac{g_s}{g_{on}} \right) \quad (B-7)$$

Portanto, de (3-7) e (B-7):

$$C_h \leq g_1 \frac{g_{on}}{g_{on} + g_1 + g_s} t_{sam} \frac{1}{\ln(1/|\gamma|)} \quad (B-8)$$

Pode ser notado, comparando-se (B-5) com (B-8), que o máximo valor para  $C_h$  para um erro de amostragem torna-se menor se for considerada a resistência da chave, conforme esperado.

### B.3 Chaves ideais e amp-op com largura de banda finita

Partindo-se de (B-1) e considerando-se para o amp-op uma transcondutância finita representada por uma função de pólo simples, isto é,  $g_m = g_m(s) = \frac{g_{m0}}{1 + s/\omega_1}$  onde  $\omega_1$  é o pólo dominante do amplificador com carga, tem-se:

$$H(s) = N(s) \frac{1}{1 + \left( \frac{g_L g_s / g_1 + g_L + g_s}{g_{m0} \omega_1} + \frac{C_h}{g_1} \right) s + \frac{C_h}{g_1} \frac{g_L + g_s}{g_{m0} \omega_1} s^2}, \quad (B-9)$$

$$N(s) = \frac{-g_s [g_{m0} \omega_1 - (g_1 + s C_h)(\omega_1 + s)]}{g_s g_L \omega_1 + g_1 (g_s + g_L) \omega_1 + g_1 g_{m0} \omega_1} \cong -\frac{g_s}{g_1} + \left( \frac{g_1}{g_{m0} \omega_1} + \frac{C_h}{g_{m0}} \right) s + \frac{C_h}{g_{m0} \omega_1} s^2. \quad (B-9a)$$

O denominador de (B-9) pode ser reescrito como:

$$D(s) = 1 + \frac{2\xi}{\omega_o} s + \frac{1}{\omega_o^2} s^2 \quad (\text{B-10})$$

$$\gamma = \frac{1}{2\sqrt{\xi^2 - 1}} \left( \frac{1}{\xi_1} e^{-\xi_1 \cdot \omega_o \cdot t_{az}} - \frac{1}{\xi_2} e^{-\xi_2 \cdot \omega_o \cdot t_{az}} \right) \quad (\text{B-11})$$

onde

$$\xi_1 \equiv \xi - \sqrt{\xi^2 - 1} \quad \text{e} \quad \xi_2 \equiv \xi + \sqrt{\xi^2 - 1} \quad (\text{B-11a})$$

Se  $4\xi^2 \gg 1$ , (B-11) pode ser aproximado por [42]

$$\gamma \cong e^{-\omega_o t_{sam} / 2\xi} \quad (\text{B-12})$$

O valor mais elevado para  $\gamma$  aparece no caso em que a aproximação (B-12) é usada.

Assim, o uso de (B-12) favorece a segurança. Considerando-se esta aproximação, chega-se de (B-9) a

$$C_h \leq g_1 t_{sam} \frac{1}{\ln(1/|\gamma|)} - \frac{g_s g_1 + g_s g_L + g_1 g_L}{g_{m0} \omega_1} . \quad (\text{B-13})$$

Sendo  $g_{m0} \omega_1 = \omega_u g_L$ , onde  $\omega_u$  é a frequência angular de ganho unitário do amp-op com carga. Assim:

$$C_h \leq g_1 t_{sam} \frac{1}{\ln(1/|\gamma|)} - \frac{g_s g_1 / g_L + g_s + g_1}{2\pi f_u} \quad (\text{B-14})$$

## B.4 Chaves reais e amp-op com largura de banda finita

Por complexidade este item não foi analisado. De acordo com as simulações (Tabela B-1, abaixo), acredita-se que podem ser considerados como uma boa aproximação para este item os resultados obtidos para chaves ideais e largura de banda finita, os quais são para pior caso e portanto incluem uma margem de segurança que compensa o efeito da resistência das chaves.

## B.5 Exemplos numéricos e simulações

Para comprovar os resultados dos itens anteriores, alguns cálculos e simulações foram executados. Para os exemplos usou-se as seguintes especificações/parâmetros:

Tensão de alimentação: 1,5V.

Tecnologia: AMS CXE 0,8 $\mu$ m.

Frequência de amostragem: 50kHz  $\rightarrow t_{sam} = 7\mu$ s (circuito com AZ).

Máximo erro de amostragem,  $\gamma = 0,004$  (8-bits).

Transistores iguais com  $(W/L) = 10\mu\text{m}/20\mu\text{m}$ .

Chaves com  $(W/L) = 2\mu\text{m}/0,8\mu\text{m} \rightarrow (W/L)_{chaves} / (W/L)_{transistores} = 5$ .

Para as simulações, o simulador SMASH e os modelos BSIM3v3 fornecidos pela AMS foram usados. O amp-op com largura de banda infinita foi implementado com uma fonte de tensão controlada por tensão com ganho de 100dB. O amp-op com largura de banda finita apresenta  $f_{ul}=1\text{MHz}$ ,  $g_o=0,5\mu\text{S}$  e ganho DC de 96dB (sem carga) e 64dB (com carga). Os resultados são resumidos na Tabela B-1.

Pode-se notar a excelente concordância nos resultados das primeiras duas linhas da Tabela B-1. Com o amp-op de largura de banda finita, a diferença entre os valores

calculados e simulados é maior. Isto era esperado, pois a aproximação utilizada nos cálculos para largura de banda finita considera condições de pior caso

*Tabela B-1. Valores máximos calculados e simulados para  $C_h$  para um erro de estabelecimento de 8 bits.*

<b>Caso</b>	<b>Capacitor máximo, calculado</b>	<b>Capacitor máximo, simulado</b>
<b>Chaves ideais, <math>GBW = \infty</math></b>	de (B-5): 27,6pF	26,5pF
<b>Chaves reais, <math>GBW = \infty</math></b>	de (B-8): 19,7pF	19,9pF
<b>Chaves ideais, <math>GBW = \text{finito}</math></b>	de (B-13): 17,3pF	22,5pF
<b>Chaves reais, <math>GBW = \text{finito}</math></b>		17,5pF

## Apêndice C – Análise de ruído

Conforme citado no Capítulo 3, a análise de ruído será concentrada no ruído direto no período de retenção e nos ruídos amostrado-e-retido em  $C_{AZ}$  e  $C_h$ . Estas contribuições serão analisadas separadamente.

### C.1 Ruído de banda larga no intervalo de retenção

Para o cálculo do ruído de banda larga no intervalo de retenção, considere o circuito mostrado na Fig. C-1, o qual é o equivalente ao circuito da Fig. 3-4 no período de retenção. Modelando-se o ganho do amp-op como uma função de pólo simples, o ruído de banda larga total na saída é dado por

$$S_{hol}^b(f) = \frac{t_{hol}}{T} 4\theta \left[ (R_{eq} + R_{on}) \frac{1}{1 + \left( \frac{\omega}{\omega_u} \right)^2} + (R_1 + R_s) H_1^2 + (R_2) H_2^2 \right] \quad (C-1)$$

onde  $R_{eq}$  é o resistor equivalente para o ruído do amp-op referido à entrada,

$R_i = (\partial I_D / \partial V_S)^{-1} \Big|_{V_S=V_D=V_X}$  para o transistor  $M_i$ ,  $\omega_u$  é a frequência de ganho unitário do amp-

op e

$$H_1 = \frac{R_2}{R_1 + R_s + R_2 + (R_1 R_2 + R_s R_2)/R_0} \quad (C-1a)$$

$$H_2 = \frac{R_1 + R_s}{R_1 + R_s + R_2 + (R_1 R_2 + R_s R_2)/R_0} \quad (C-1b)$$

Em geral, a contribuição mais importante em (C-1) provém de  $R_{eq}$ .

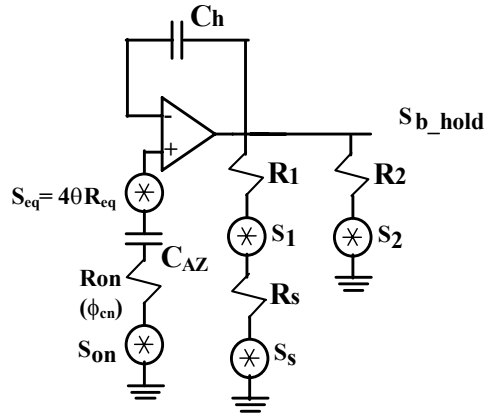


Fig. C-1. Circuito equivalente de ruído para o intervalo de retenção.

Se for considerado o circuito sem compensação de *offset*, como na Fig. 3-2,  $R_{on}=0$  em (C-1).

## C.2 Ruído amostrado-e-retido

A subamostragem (*undersampling*) do ruído de banda larga presente na célula de meio atraso SM produz um componente de ruído amostrado-e-retido cuja densidade espectral concentra-se na banda básica. Isto ocorre para ambos  $C_h$  e  $C_{AZ}$ . Além disso,  $C_h$  também se carrega com uma cópia amplificada do ruído retido em  $C_{AZ}$ . Assim, 3 contribuições diferentes de ruído são analisadas nesta seção.

### C.2.1 Ruído amostrado e retido em $C_{AZ}$

No final da fase de AZ,  $C_{AZ}$  amostra o ruído de banda larga devido às fontes de ruído presentes no intervalo de AZ e retém este ruído durante  $t_{sam}$  e  $t_{hol}$ . Contudo, a transferência deste ruído para a saída é diferente em  $t_{sam}$  e  $t_{hol}$ . O espectro das fontes de ruído branco

presentes durante  $t_{az}$  (Fig. C-2) é filtrado (passa-baixa) pelas constantes de tempo RC correspondentes e/ou pelo *rollf* do amp-op.

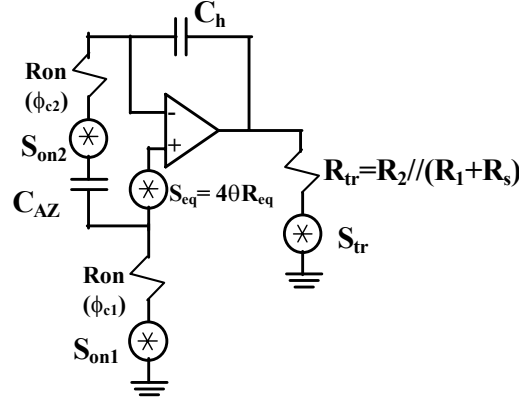


Fig. C-2. Circuito equivalente de ruído para o intervalo de auto-zero.

No circuito da Fig. C-2 ocorre a subamostragem dos componentes de ruído de banda larga. O ruído amostrado-e-retido em um capacitor genérico  $C_x$  em um circuito onde a chave conduz durante um intervalo de tempo  $t_{on}$ , considerando-se a largura de banda de ruído branco (limitada pela constante de tempo RC ou por outro elemento)  $f_{WH} \gg f_s$ , é dado [23] por

$$S_{C_x}^{S/H}(f)(f) = (1 - t_{on}/T)^2 \frac{2\theta}{C_x} T \frac{\sin^2[(1 - t_{on}/T)\pi T f]}{[(1 - t_{on}/T)\pi T f]^2} \quad (C-2)$$

No circuito da Fig. C-2, a frequência de ganho unitário do amp-op,  $f_u$ , é o elemento limitador de banda para  $S_{eq}$  enquanto que as outras fontes de ruído podem ser consideradas filtradas (passa-baixa) por filtros cujas constantes de tempo RC são várias vezes maior que a largura de banda do amp-op. Assim, tem-se para o ruído amostrado-e-retido em  $C_{AZ}$  (representação unilateral):

$$S_{C_{AZ}}^{S/H}(f) = \frac{2\theta}{C_{AZ}} T \left( 1 + \frac{R_{eq} C_{AZ} \omega_u}{1 + K_a} \right) (1 - t_{az}/T)^2 \frac{\sin^2[(1 - t_{az}/T)\pi T f]}{[(1 - t_{az}/T)\pi T f]^2} \quad (C-3)$$

onde  $K_a \equiv C_{AZ}/C_h$ ,  $R_{eq}$  é o resistor equivalente para o ruído do amp-op referido à entrada e  $\omega_u$  é a frequência de ganho unitário do amp-op. O primeiro termo no primeiro parêntese aparece devido às fontes de ruído dos transistores (externos ao amp-op) e das chaves, os quais não são filtrados pelo *rolloff* do amp-op. Conforme já citado, a transferência deste ruído para a saída é diferente em  $t_{sam}$  e em  $t_{hol}$ . Em  $t_{sam}$  a função de transferência para a saída é  $(1+R_l/R_s)^2$ ,  $R_i = (\partial I_D / \partial V_S)^{-1} \Big|_{V_S=V_D=V_x}$  para o transistor  $M_i$ . Em  $t_{hol}$  a função de transferência para a saída=1. A contribuição do ruído retido em  $C_{AZ}$  para a saída para frequências baixas (banda básica) é portanto dada por:

$$S_{C_{AZ\_out}}^{S/H}(f) = \frac{2\theta}{f_s C_{AZ}} \left( 1 + \frac{R_{eq} C_{AZ} \omega_u}{1 + K_a} \right) \left[ \left( 1 + \frac{R_l}{R_s} \right)^2 (t_{sam}/T)^2 + (t_{hol}/T)^2 \right] \quad (C-4)$$

### C.2.2 Ruído amostrado-e-retido em $C_h$

O ruído amostrado em  $C_h$  no final da fase de amostragem pode ser dividido em duas densidades espectrais de ruído não correlacionadas. A primeira é devida às fontes de ruído de banda larga presentes em  $t_{sam}$ . A segunda é função do ruído retido em  $C_{AZ}$  durante  $t_{az}$ .

Para as fontes de ruído branco presentes durante  $t_{sam}$ , considere o circuito da Fig. C-3. As fontes de ruído branco são filtradas pelas constantes de tempo RC e/ou pelo *rolloff* do amp-op. A contribuição resultante para frequências baixas (banda básica) é:

$$S_{Ch\_1}^{S/H}(f) = \frac{2\theta}{f_s C_h} \left( 1 + (R_{on} + R_{eq}) C_h \omega_u \right) (1 - t_{sam}/T)^2 \quad (C-5a)$$

O ruído amostrado-e-retido em  $C_{AZ}$  é transferido para  $C_h$  com ganho  $(R_l/R_s)^2$ . Assim,

$$S_{Ch\_2}^{S/H}(f) = \frac{2\theta}{f_s C_{AZ}} \left( 1 + \frac{R_{eq} C_{AZ} \omega_u}{1 + K_a} \right) \left[ \left( \frac{R_l}{R_s} \right)^2 (1 - t_{sam}/T)^2 \right] \quad (C-5b)$$



Ambos (C-5a) e (C-5b) são transferidos para a saída com ganho unitário. Se for considerado o circuito sem compensação de *offset*, como na Fig. 3-2,  $R_{on}=0$  em (C-5a) e (C-5b) também torna-se igual a zero.

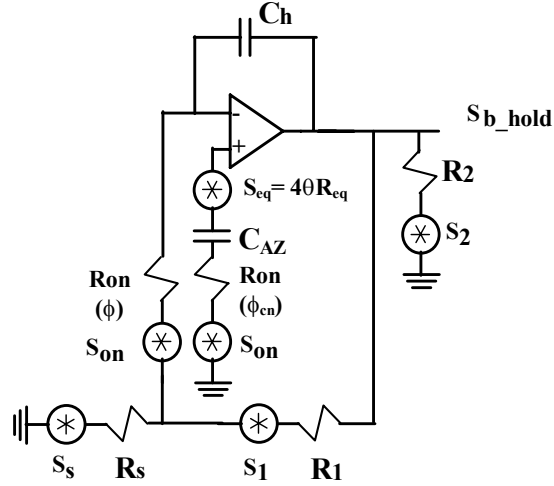


Fig. C-3. Circuito equivalente de ruído para o intervalo de amostragem.

### C.3 Ruído total na saída

O ruído total na saída é a soma das contribuições dadas por (C-1), (C-4) e (C-5), i. e.,

$$S_{OUT}(f) = S_{hol}^b(f) + S_{Caz\_out}^{S/H}(f) + S_{Ch\_1}^{S/H}(f) + S_{Ch\_2}^{S/H}(f) \quad (C-6)$$



## Apêndice D – Análise de distorção harmônica

A análise desta seção é válida tanto para o circuito da Fig. 3-2 (sem compensação de *offset*) como para o circuito da Fig. 3-4 (com AZ). De fato, qualquer imperfeição na operação do circuito de AZ produzirá um *offset* residual, o qual pode ser tratado como uma tensão de *offset* do amp-op que não foi compensada. Assim, é efetuada a análise de distorção para o circuito sem compensação de *offset*, repetido por conveniência na Fig. D-1.

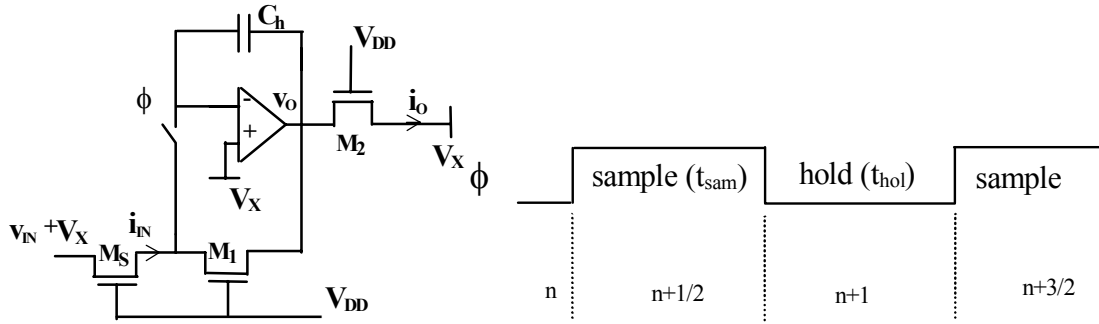


Fig. D-1. A célula de meio atraso da técnica SM.

### D.1 Efeito da tensão de *offset* do *amp-op*.

Na inversão forte a corrente de dreno em um MOSFET é dada [8] por

$$i_D = K \left[ (V_P - v_S)^2 - (V_P - v_D)^2 \right] \quad (D-1)$$

onde  $v_S$ ,  $v_D$  são as tensões de fonte e dreno referidas ao substrato e  $K \equiv \frac{\mu C'_{ox} n W}{2 L}$ .

No circuito da Fig. D-1 tem-se, considerando-se que o amp-op apresenta tensão de *offset* de entrada  $V_{OS}$ :

$$i_{D\_M1(n+1/2)} = -i_{IN(n+1/2)} = K_1 \left[ (V_P - V_X - V_{OS})^2 - (V_P - v_{O(n+1/2)})^2 \right] \quad (D-2)$$

$$i_{O(n+1)} = K_2 \left[ (V_P - V_X)^2 - (V_P - v_{O(n+1)})^2 \right] \quad (D-3)$$

$$v_{O(n+1)} = v_{O(n+1/2)} \quad (D-4)$$

De (D-2), (D-3) e (D-4), tem-se:

$$i_{o(n+1)} = -\frac{K_2}{K_1} i_{in(n+1/2)} + \sqrt{2} K_2 V_{OS} V_P \quad (D-5)$$

## D.2 Efeito da carga injetada.

Neste caso, tem-se para a corrente em  $M_I$ :

$$i_{D\_M1(n+1/2)} = -i_{IN(n+1/2)} = K_1 \left[ (V_P - V_X)^2 - (V_P - v_{O(n+1/2)})^2 \right] \quad (D-6)$$

De (D-6), após algumas manipulações algébricas:

$$v_{O(n+1/2)} = -\sqrt{\frac{i_{IN(n+1/2)}}{K_1} + (V_P - V_X)^2} + V_P \quad (D-7)$$

Considerando-se constante a injeção de carga, tem-se:

$$v_{O(n+1)} = v_{O(n+1/2)} + \Delta V_{ch} \quad (D-8)$$

onde  $\Delta V_{ch}$  é a carga constante injetada em  $C_h$  no final da fase de amostragem. No pior caso,  $\Delta V_{ch} = \Delta V_{ch\_max}$ , dada por (3-24).

Tem-se, para o intervalo (n+1):

$$i_{O(n+1)} = K_2 \left[ (V_P - V_X)^2 - (V_P - v_{O(n+1)})^2 \right] \quad (D-9)$$

De (D-8) e (D-9):

$$i_{O(n+1)} = K_2 \left[ (V_P - V_X)^2 - (V_P - v_{O(n+1/2)} - \Delta V_{ch})^2 \right] \quad (D-10)$$

Substituindo-se (D-7) em (D-10) e fazendo-se  $K_I = K_2$  (transistores iguais), chega-se

a:

$$i_{O(n+1)} = -i_{IN(n+1/2)} + 2\Delta V_{ch} K (V_P - V_X) \sqrt{1 + \frac{i_{IN(n+1/2)}}{K(V_P - V_X)^2}} \quad (D-11)$$

Fazendo-se a expansão em série de Taylor e mantendo-se os termos de ordem menor:

$$\begin{aligned} i_{O(n+1)} = & \sqrt{2} K_2 \Delta V_{ch} V_P - i_{IN(n+1/2)} \left( 1 - 2\sqrt{2} \frac{\Delta V_{ch}}{V_P} \right) - i_{IN(n+1/2)}^2 \frac{\sqrt{2}}{2} \frac{\Delta V_{ch}}{K_2 V_P^3} + \\ & + i_{IN(n+1/2)}^3 \frac{\sqrt{2}}{2} \frac{\Delta V_{ch}}{K_2^2 V_P^5} \dots \end{aligned} \quad (D-12)$$

Como pode ser visto por (D-12), a injeção de carga causa distorção harmônica.

Como a distorção harmônica causada pela injeção de carga é independente da frequência do sinal de entrada, a distorção pode ser analisada considerando-se um sinal harmônico distorcido por uma função de transferência não-linear; assim:

$$i_{O(t)} \cong 2\sqrt{2} \frac{\Delta V_{ch}}{V_P} I_{max} - \hat{I} \cos(\omega t) - \frac{\sqrt{2}}{8} \frac{\Delta V_{ch}}{V_P} \frac{\hat{I}^2}{I_{max}} \cos(2\omega t) + \frac{\sqrt{2}}{32} \frac{\Delta V_{ch}}{V_P} \frac{\hat{I}^3}{I_{max}^2} \cos(3\omega t) \dots \quad (D-13)$$

$$\text{onde } \hat{I} \leq I_{MAX} = \frac{\mu C'_{ox} n W}{4 L} V_P^2 = \frac{K}{2} V_P^2 \text{ e } \hat{I} \cos(\omega t) = i_{IN}.$$

### D.3 Efeito do ganho DC finito do amp-op

Considerando-se para os MOSFETs a corrente em inversão forte dada por (D-1), tem-se, neste caso:

$$i_{D\_M1(n+1/2)} = -i_{IN(n+1/2)} = K_1 \left[ \left( V_P - V_X + \frac{v_{O(n+1/2)}}{A} \right)^2 - (V_P - v_{O(n+1/2)})^2 \right], \quad (\text{D-14})$$

onde  $A$  é o ganho DC do amp-op. Também,

$$i_{O(n+1)} = K_2 \left[ (V_P - V_X)^2 - (V_P - v_{O(n+1)})^2 \right] \quad (\text{D-15})$$

e

$$v_{O(n+1)} = v_{O(n+1/2)} \quad (\text{D-16})$$

De (D-14), (D-15) e (D-16), tem-se:

$$i_{O(n+1)} = -\frac{K_2}{K_1} i_{IN(n+1/2)} - 2K_2 (V_P - V_X) \frac{v_{O(n+1/2)}}{A} \quad (\text{D-17})$$

A equação (D-14) pode ser reescrita como

$$v_{O(n+1/2)} = -(V_P - V_X) \sqrt{1 + \frac{i_{in(n+1/2)}}{K_1 (V_P - V_X)^2} + \frac{2\sqrt{2}}{A}} + V_P + \frac{1}{A} (V_P - V_X) \quad (\text{D-18})$$

De (D-17) e (D-18) tem-se, considerando-se  $K_1 = K_2 = K$ :

$$i_{O(n+1)} \cong -i_{IN(n+1/2)} + \frac{2K}{A} (V_P - V_X)^2 \sqrt{1 + \frac{i_{IN(n+1/2)}}{K (V_P - V_X)^2} + \frac{2\sqrt{2}}{A}} - \frac{2K}{A} (V_P - V_X) V_P \quad (\text{D-19})$$

Expandindo-se (D-19) em série de Taylor e mantendo-se os termos de ordem inferior:

$$i_{O(n+1)} \cong \frac{1}{A} K V_P^2 (1 - \sqrt{2}) - i_{IN(n+1/2)} \left( 1 - \frac{1}{A} \right) - i_{IN(n+1/2)}^2 \frac{1}{2A} \frac{1}{K V_P^2} + i_{IN(n+1/2)}^3 \frac{1}{2A} \frac{1}{K^2 V_P^4} \dots \quad (\text{D-20})$$

Como pode ser visto por (D-20), o ganho DC finito do amp-op causa distorção harmônica. Como a distorção harmônica causada pelo ganho DC finito do amp-op é independente da frequência do sinal de entrada, a mesma pode ser analisada considerando-se um sinal harmônico distorcido por uma função de transferência não-linear; assim:

$$i_{O(t)} \cong \frac{2(1-\sqrt{2})}{A} I_{max} - \hat{I} \cos(\omega t) - \frac{1}{8A} \frac{\hat{I}^2}{I_{max}} \cos(2\omega t) + \frac{1}{32A} \frac{\hat{I}^3}{I_{max}^2} \cos(3\omega t) \dots \quad (D-21)$$

onde  $\hat{I} \leq I_{MAX} = \frac{\mu C'_{ox} n}{4} \frac{W}{L} V_P^2 = \frac{K}{2} V_P^2$   $\hat{I} \cos(\omega t) = i_{IN}$ .





## Apêndice E – Análise dos efeitos do *offset* na biquadrática universal SM

Considerando-se na biquadrática universal SM da Fig. 2-11  $V_{ij}$  como a tensão de *offset* do amp-op  $A_{ij}$ , com  $i=1,2$  e  $j=1,2$ , tem-se

$$V_{OA1}^{\phi_o} = (2 + K_2 + f)V_{11} - fz^{-1/2}V_{OB2}^{\phi_e} - z^{-1/2}V_{OB1}^{\phi_e}, \quad (\text{E-1})$$

$$V_{OA2}^{\phi_o} = (2 + K_3 + a)V_{21} - az^{-1/2}V_{OB1}^{\phi_e} - z^{-1/2}V_{OB2}^{\phi_e}, \quad (\text{E-2})$$

$$V_{OB1}^{\phi_e} = (2 + a + f + K_1 + K_2)V_{12} - (a + f)V_{OB2}^{\phi_e} - z^{-1/2}V_{OA1}^{\phi_o}, \quad (\text{E-3})$$

$$V_{OB2}^{\phi_e} = (2 + K_3)V_{22} - z^{-1/2}V_{OA2}^{\phi_o}, \quad (\text{E-4})$$

Resolvendo-se (E-1) a (E-4), chega-se a

$$V_{OB2}^{\phi_e} = \frac{-(2 + f + K_2)V_{11} + (3 + a + f + K_2)V_{12}}{a}. \quad (\text{E-5})$$

A equação (2-10) será repetida aqui por conveniência:

$$\omega_o T \cong a \quad (\text{E-6a})$$

$$Q \cong 1/f \quad (\text{E-6b})$$

onde  $T$  é o período de amostragem,  $\omega_o$  é a frequência central e  $Q$  é o fator de qualidade.

Substituindo-se (E-6) em (E-5), chega-se a:

$$V_{OB2}^{\phi_e} = -\frac{(V_{11} - V_{12})}{\omega_o T} \left[ 2 + \frac{1}{Q} + \frac{K_{BP}}{Q} \right] + 2V_{12} \quad (\text{E-7})$$

onde  $K_{BP} = K_2/f$  é o ganho da entrada passa-baixa.

## Apêndice F – Análise da influência do ganho DC finito do amp-op na linearidade dos conversores v/i e i/v

Considere o circuito da Fig. 4-4, repetido por conveniência na Fig. F-1.

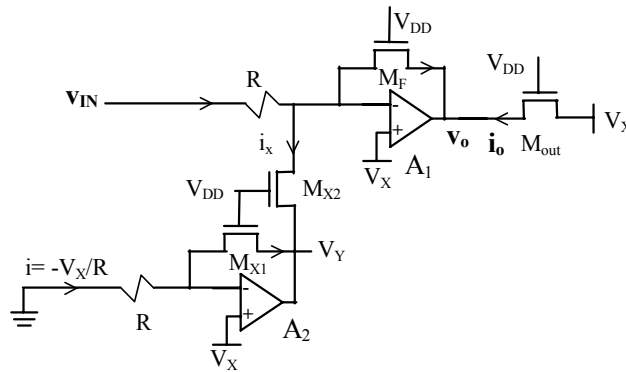


Fig. F-1. Circuito completo do conversor v/i.

Na inversão forte a corrente de dreno em um MOSFET é dada [8] por

$$i_D = K \left[ (V_P - v_S)^2 - (V_P - v_D)^2 \right] \quad (\text{F-1})$$

onde  $v_S$ ,  $v_D$  são as tensões de fonte e dreno referenciadas ao substrato e  $K \equiv \frac{\mu C'_{ox} n}{2} \frac{W}{L}$ .

No circuito da Fig. F-1 tem-se, considerando o ganho finito DC  $A$  para o amp-op  $A_1$  (O ganho DC de  $A_2$  é considerado infinito):

$$i_{D\_MF} = K_F \left[ (V_P - v_O)^2 - \left( V_P - V_X + \frac{v_O}{A} \right)^2 \right] \quad (\text{F-2})$$

$$i_o = K_{out} \left[ (V_P - v_O)^2 - (V_P - V_X)^2 \right] \quad (\text{F-3})$$

$$i_x = i_{D\_MX2} = K_{X2} \left[ (V_P - V_Y)^2 - \left( V_P - V_X + \frac{v_O}{A} \right)^2 \right] \quad (\text{F-4})$$

$$i_{D\_MX1} = K_{X1} \left[ (V_P - V_Y)^2 - (V_P - V_X)^2 \right] \quad (F-5)$$

$$\frac{v_{IN} - V_X + v_O / A}{R} = i_{D\_MX2} + i_{D\_MF} \quad (F-6)$$

$$\frac{-V_X}{R} = i_{D\_MX1} \quad (F-7)$$

Considerando-se transistores iguais,  $K_F = K_{out} = K_{X1} = K_{X2}$ . Resolvendo-se (F-2) a (F-7) e sabendo-se que em SM  $V_X = V_P (1 - 1/\sqrt{2})$ , chega-se a:

$$i_O = \frac{V_P}{A} \left[ \frac{1}{R} + 2\sqrt{2}KV_P \right] + \frac{v_{IN}}{R} - \frac{V_P}{\sqrt{2}A} \left[ \frac{1}{R} + 2\sqrt{2}KV_P \right] \sqrt{1 - \frac{2v_{IN}}{RKV_P^2}} \quad (F-8)$$

Expandindo-se (F-8) em série de Taylor series e mantendo-se os termos de ordem mais baixa:

$$i_O = \frac{V_X}{A} \left[ \frac{1}{R} + 2\sqrt{2}KV_P \right] + \frac{v_{IN}}{R} - \frac{1}{2AI_{max}} \left[ 1 + \frac{1}{2\sqrt{2}RKV_P} \right] \frac{v_{IN}^2}{R^2} + \frac{1}{4AI_{max}^2} \left[ 1 + \frac{1}{2\sqrt{2}RKV_P} \right] \frac{v_{IN}^3}{R^3} \quad (F-9)$$

$$\text{onde } I_{max} = \frac{\mu C'_{ox} n W}{4 L} V_P^2 = \frac{K}{2} V_P^2.$$

Considerando-se um sinal senoidal na entrada, tem-se:

$$\begin{aligned} i_{O(t)} = \frac{V_X}{A} \left[ \frac{1}{R} + 2\sqrt{2}KV_P \right] + \frac{\hat{V}}{R} \cos(\omega t) - \frac{\hat{V}^2}{R^2} \frac{1}{4AI_{max}} \left[ 1 + \frac{1}{2\sqrt{2}RKV_P} \right] \cos(2\omega t) + \\ + \frac{\hat{V}^3}{R^3} \frac{1}{16AI_{max}^2} \left[ 1 + \frac{1}{2\sqrt{2}RKV_P} \right] \cos(3\omega t) \end{aligned} \quad (F-10)$$

$$\text{onde } \frac{\hat{V}}{R} \leq I_{max}.$$

O cálculo da THD do conversor i/v pode ser executado aplicando-se os mesmos conceitos desenvolvidos aqui ao circuito da Fig. 4-5.

## Referências

- [1] C. Toumazou, J. B. Hughes, and N. C. Battersby (eds.), *Switched-currents: an analogue technique for digital technology*, Peter Peregrinus, London, 1993.
- [2] A. Rodriguez-Vázquez and E. Sánchez-Sinencio (eds.), “Special issue on low-voltage and low power analog and mixed-signal circuits and systems,” *IEEE Trans. on Circuits and Systems I*, vol 42, November 1995.
- [3] W. Serdijn, A. C. Van der Woerd, and J. C. Kvenen (eds.), “Special issue on low-voltage, low power analog integrated circuits,” *IEEE, J. Analog Integrated Circuit and Signal Processing*, vol. 83, no. 4, July 1995.
- [4] W. Serdijn, *The design of low-voltage low-power analog integrated circuits and their applications in hearing instruments*, Doctorate thesis, Delft University Press, Delft, The Netherlands, 1994.
- [5] R. Hogervorst, *Design of low-voltage low-power CMOS operational amplifier cells*, Doctorate thesis, Delft University Press, Delft, The Netherlands, 1996.
- [6] R. Castello, F. Montecchi, F. Rezzi, and A. Baschiroto, “Low-voltage analog filters,” *IEEE Trans. on Circuits and Systems I*, vol. 42, pp. 827-840, November 1995.
- [7] C. Toumazou, F. J. Lidgey, and D. G. Haigh (eds.), *Analogue IC design: the current-mode approach*, Peter Peregrinus, London, 1990.
- [8] C. Galup-Montoro, A. I. A. Cunha, and M. C. Schneider, “A current-based MOSFET model for integrated circuit design,” in *Low-voltage low power integrated circuits and systems*, E. Sánchez-Sinencio and A. G. Andreou (eds), IEEE press, Piscataway, 1999.
- [9] E. A. Vittoz, “Micropower techniques,” in *Design of analog-digital VLSI circuits for telecommunications and signal processing*, J. E. Franca and Y. P. Tsividis (eds), Prentice Hall, New Jersey, 1994.
- [10] Y. Matsuya, and J. Tamada, “1V power supply, low-power consumption A/D conversion technique with swing-suppression noise shaping,” *IEEE J. Solid-State Circuits*, vol. 29, pp. 1524-1530, December 1994.
- [11] R. Castello and L. Tomasini, “A BiCMOS speech circuit with only two external components,” *IEEE J. Solid-State Circuits*, vol. 28, pp. 770-777, July 1991.
- [12] D. Wayne et al, “A single chip hearing aid with one volt switched-capacitor filters,” in *IEEE 1992 Custom IC Conference*, pp. 7.5.1-7.5.4, 1992.
- [13] S. Yan, and E. Sanchez-Sinencio, “Low voltage analog circuit design techniques: a tutorial,” *IEICE Trans. Analog Integrated Circuits and Systems*, vol. e00-A, no. 2, February 2000.
- [14] A. Masami, *Design for reliability of low-voltage, switched-capacitor circuits*, Doctorate thesis, University of California, Berkeley, 1999.
- [15] J. Crols, and M. Steyaert, “Switched-Opamp: an approach to realize full CMOS switched-capacitor circuits at very low power supply voltages,” *IEEE J. Solid-State Circuits*, vol. 29, pp. 936-942, August 1994.
- [16] M. Steyaert, J. Crols, and S. Gogaert, “Low-voltage analog CMOS filter design,” in *Low-voltage/low-power integrated circuits and systems*, E. Sánchez-Sinencio, and A.

- G. Andreou (eds.), IEEE Press, 1999.
- [17] A. Baschiroto, R. Castello, and G. P. Montagna, "Active series switch for switch-opamp circuits," *Electron. Lett.*, vol. 34, no. 14, pp.1365-1366, July 1998.
- [18] S. Karthikeyan, A. Tamminneedi, C. Boecker, and E. K. F. Lee, "Design of low-voltage front-end interface for switched-opamp circuits," *IEEE Trans. Circuits and Systems - II*, vol. 48, no. 7, pp. 722-726, July 2001.
- [19] J. Silva-Martínez, S. Solís-Bustos, J. Salcedo-Suñer, R.Rojas-Hernández, and M. Schellenberg, "A CMOS hearing aid device," in *Analog Integrated Circuits and Signal Processing*, 21 pp. 1-10, 1999.
- [20] J. F. Duque-Carrillo, P. Malcovati, F. Maloberti, R. Pérez-Aloe, A. H. Reyes, E. Sánchez-Sinencio, G. Torelli, and J. M. Valverde, "VERDI: An acoustically programmable and adjustable CMOS mixed-mode signal processor for hearing aid applications," *IEEE J. Solid-State Circuits*, vol. 31, no. 5, pp. 634-645, May 1996.
- [21] F. Callias, F. Salchli, and D. Girard, "A set of four IC's in CMOS technology for a programmable hearing aid," *IEEE J. Solid-State Circuits*, vol. 24, no. 2, pp. 301-312, April 1989.
- [22] W. A. Serdijn, A. C. van der Woerd, J. Davidse and A.H.M. van Roermund, "A low-voltage low-power fully-integratable front-end for hearing instruments," *IEEE Transactions on Circuits and Systems I*, Vol. 42, No. 11, pp. 920-932, November 1995.
- [23] R. Gregorian and G. C. Temes, *Analog MOS integrated circuits for signal processing*, John Wiley & Sons, New York, USA, 1986.
- [24] M. J. M. Pelgrom and M. Vertregt, "CMOS technology for mixed signal ICs," *Solid-State Electron.*, vol. 41, pp. 967-974, 1997.
- [25] J. C. M. Bermudez, M. C. Schneider, and C. Galup-Montoro, "Compatibility of switched capacitor filters with VLSI processes," *IEE Proc., Part G*, vol. 139, no. 4, pp. 413-418, August 1992.
- [26] R. T. Gonçalves, S. Noceti F., M. C. Schneider, and C. Galup-Montoro, "Programmable switched current filters using MOSFET-only current dividers," in *Proc. 38th Midwest Symposium on Circuits and Systems*, vol. 1, pp. 1046-1049, Rio de Janeiro, August 1995.
- [27] R. T. Gonçalves, S. Noceti F., M. C. Schneider, and C. Galup-Montoro, "Digitally programmable switched current filters," in *Proc. ISCAS*, vol. 1, pp. 258-261, May 1996.
- [28] F. A. Farag, R. Faustino, S. Noceti F., C. Galup-Montoro, and M. C. Schneider, "A programmable second generation SI integrator for low-voltage applications," in *IX IFIP, Tutorials of International Conference on VLSI*, pp. 129-137, Brazil, August 1997.
- [29] F. A. Farag, C. Galup-Montoro, and M. C. Schneider, "Digitally programmable switched-current FIR filter for low-voltage applications," *IEEE J. Solid-State Circuits*, vol. 35, pp. 637-641, April 2000.
- [30] F. A. Farag, *Digitally programmable low-voltage switched-current filters*, Doctorate thesis, Federal University of Santa Catarina, Brazil, 1999.
- [31] C. C. Enz. *High precision CMOS micropower amplifiers*. Ph.D. thesis no. 802, EPF-

- Lausanne, Switzerland, 1989.
- [32] K. Bult, and G. J. G. M. Geelen, “An inherently linear and compact MOST-only current division technique,” *IEEE J. Solid-State Circuits*, vol. 27, pp. 1730-1735, December 1992.
  - [33] B. C. Rothenberg, S. H. Lewis, and P. J. Hurst, “A 20-M sample/s switched-capacitor finite-impulse-response filter using a transposed structure,” *IEEE J. Solid-State Circuits*, vol. 30, pp. 1350–1356, December 1995.
  - [34] R. Faustino, *Filtros a correntes chaveadas programáveis digitalmente*, Master thesis, Federal University of Santa Catarina, Brazil, 1999, in Portuguese.
  - [35] J. Silva-Martinez, and E. Sánchez-Sinencio, “Biquadratic programmable SC filters with additional flexibility and reduced total capacitance,” *Int. Journal of Circuit Theory and Applications*, vol. 17, no. 2, pp. 241-248, April 1989.
  - [36] K. Nagaraj, J. Vlach, T. R. Viswanathan, and K. Singhal, “Switched-capacitor integrator with reduced sensitivity to amplifier gain”. *Electronic Lett.*, vol. 22, pp. 1103-1105, 1986.
  - [37] C. A. Gobet, and A. Knob “Noise analysis of switched capacitor networks,” *IEEE Trans. on Circuits and Systems*, vol. CAS-30, pp. 37-43, January 1983.
  - [38] C. C. Enz, and G. C. Temes, “Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization,” in *Proc. of the IEEE*, pp. 1584-1614, November 1996.
  - [39] D. A. Johns and K. Martin, *Analog integrated circuit design*, John Wiley & Sons, New York, 1997.
  - [40] G. Wegmann et al, “Charge injection in analog MOS switches,” *IEEE J. Solid-State Circuits*, vol. 22, pp. 1091–1097, December 1987.
  - [41] V. S. Cheung, H. C. Luong, and W. Ki, “A 1-V CMOS switched-opamp switched-capacitor pseudo-2-path filter,” *IEEE J. Solid-State Circuits*, vol. 36, pp. 14–22, January 2001.
  - [42] J. Millman, and A. Grabel, “Microelectrónica,” McGraw-Hill, Lisbon, 1992, in Portuguese.
  - [43] S. Karthikeyan, S. Morteza pour, A. Tammineedi, And E. K. F. Lee, “Low-voltage analog circuit design based on biased inverting opamp configuration,” *IEEE Transaction on Circuits and Systems II: Analog and Digital Signal Processing*, vol 47, no. 3, pp. 176-184, March 2000.
  - [44] SMASH users manual, Dolphin Integration, Meylan, France, 1997.
  - [45] V. C. Vincence, “Projeto de amplificadores operacionais para a tecnologia de MOSFET-chaveado,” *Exame de qualificação*, Federal University of Santa Catarina, Brazil, in Portuguese, to be published.
  - [46] V. C. Vincence, C. Galup-Montoro, and M. C. Schneider, “Low-voltage class AB operational amplifier,” in *14th Symposium on Integrated Circuits and Systems Design*, pp. 207-211, Pirenópolis, Brazil, September 2001.
  - [47] F. Maloberti, “Layout of analog and mixed analog-digital circuits,” in *Design of analog-digital VLSI circuits for telecommunications and signal processing*, Chapter 11,

pp. 341-367, Prentice-Hall, New Jersey, 1994.

- [48] D. Rocha, M. M. Boone, and W. A. Serdijn, "A strong directional, wearable hearing aid adapter," in *Proc. of the ProRISC 2000*, pp. 465-470, Veldhoven, The Netherlands, December 2000.
- [49] E. A. Vittoz, "Dynamic Analog Techniques," in *Design of analog-digital VLSI circuits for telecommunications and signal processing*, J. E. Franca and Y. P. Tsividis (eds), Prentice-Hall, New Jersey, 1994.
- [50] J. B. Hughes, N. C. Bird, and I. C. Macbeth, "Switched currents - a new technique for analog sampled-data signal processing," in *Proc. ISCAS*, pp. 1584-1587, May 1989.
- [51] A. I. A. Cunha, M. C. Schneider, and C. Galup-Montoro, "An MOS Transistor Model for Analog Circuit Design", *IEEE J. Solid-State Circuits*, vol. 33, no. 10, pp. 1510-1519, October 1998.
- [52] P. C. Dunn, *Gateways into electronics*, John Wiley & Sons, New York, USA, 2000.



## Artigos publicados

- [1] L. C. C. Marques, C. Galup-Montoro, S. Noceti Filho, and M. C. Schneider, "Switched-MOSFET technique for programmable filters operating at low-voltage supply," *Proceedings of XV SBMicro - International Conf. on Microelectronics & Packaging*, pp. 170-174, Manaus, Brazil, September, 2000.
- [2] L. C. C. Marques, C. Galup-Montoro, S. Noceti Filho, and M. C. Schneider, "Switched-MOSFET sampled-data technique for low-voltage supply: a brief tutorial," *Proceedings of ProRISC2000 - 11th Workshop on Circuits, Systems and Signal Processing*, pp.395-400, Veldhoven, The Netherlands, November 2000.
- [3] L. C. C. Marques, C. Galup-Montoro, S. Noceti Filho, and M. C. Schneider. "A switched-MOSFET filter for application in hearing aid devices". *Proc. ISCAS*, I-77 – I-80, Sidney, Australia, May 2001.
- [4] L. C. C. Marques, C. Galup-Montoro, S. Noceti Filho, and M. C. Schneider. "Switched-MOSFET technique for programmable filters operating at low-voltage supply". *Proc. ISCAS*, I-73 – I-76, Sidney, Australia, May 2001.
- [5] L. C. C. Marques, C. Galup-Montoro, S. Noceti Filho, F. A. Farag, W. A. Serdijn, and M. C. Schneider. "Switched-MOSFET sampled-data technique for low-voltage supply". *ISCAS tutorials on Low-voltage Low-power*, v.1. p.1.5.1-1.5.6, Sidney, Australia, May 2001.
- [6] W. A. Serdijn, J. Mulder, D. Rocha, and L. C. C. Marques, "Advances in low-voltage ultra-low-power analog circuit design," *Proceedings of ICECS2001 - International IEEE Conference on Electronics, Circuits, and Systems*, pp.1533-1536, Malta, September 2001.
- [7] L. C. C. Marques, W. A. Serdijn, C. Galup-Montoro, and M. C. Schneider, "A switched-MOSFET programmable low-voltage filter," *Proceedings of SBCCI2002 – 15<sup>th</sup> Symposium on Integrated Circuits and Systems Design*, pp. 254-257, Porto Alegre, Brazil, September, 2002.